

# On Die電源ノイズ観測技術と Power Gating技術開発への応用

## On-Die Power Supply Noise Monitor and Its Application to Power Gating Technique

### あらまし

LSIの低消費電力化のためには、電源電圧制御技術を使い、できるだけ電源電圧を低下させることが有効である。しかし、Power Gating技術やDVFS (Dynamic Voltage and Frequency Scaling) 技術では、電力モードを移行する際に大きな電源ノイズが発生し、LSIの誤動作のリスク要因となる。富士通研究所は、今回、精密な電源電圧制御技術を確立するためにOn Dieで電源ノイズを観測できる技術を開発し、Power Gating技術の開発に利用した。開発したPower Gating技術は、電源復帰を高速に行っても発生する電源ノイズを抑えることのできる新規技術である。On Dieノイズ観測回路を搭載したテストチップを90 nmテクノロジーで設計し、ノイズ予測技術と設計ルールの妥当性を10%以内の誤差で確認した。この結果、電源ノイズを従来技術と比較して87.5%低減することができ、1  $\mu$ s以下という短時間で復帰できるPower Gating技術を開発した。

### Abstract

To reduce the power consumption of LSIs, the supply voltage should be set as low as possible using a supply voltage control technique. However, when the power gating technique or the dynamic voltage and frequency scaling (DVFS) technique is used, large supply voltage fluctuations may cause faulty operation during the power mode transition. To establish a precise voltage control technique, Fujitsu Laboratories has developed a circuit for on-die monitoring of the power supply noise and applied it to the development of a new power gating scheme that enables faster restoration without any increase in power supply noise. Simulation results were sufficiently close to measurement results to verify this method's effectiveness: within 10% for a test chip using 90-nm technology. As a result, the noise can be reduced by 87.5% and power gating with a sub-microsecond wakeup time can be achieved.



井上淳樹  
(いのうえ あつき)

プラットフォームテクノロジー研究所 所属  
現在、低消費電力、低ノイズLSI設計技術の研究開発に従事。



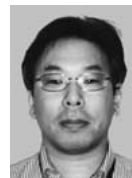
塩田哲義  
(しおた てつよし)

プラットフォームテクノロジー研究所デザインソリューション研究部 所属  
現在、低消費電力LSI設計技術の研究開発に従事。



佐藤富夫  
(さとう とみお)

プラットフォームテクノロジー研究所デザインソリューション研究部 所属  
現在、低ノイズLSI設計技術の研究開発に従事。



川崎健一  
(かわさき けんいち)

プラットフォームテクノロジー研究所デザインソリューション研究部 所属  
現在、低消費電力LSI設計技術の研究開発に従事。

## ま え が き

近年のLSIは、微細化テクノロジーの採用より、集積度の向上とそれに伴う処理性能の向上というメリットを低コストで広くユーザに提供できるようになってきている。しかし、微細化は、デバイスの信頼性確保のために電源電圧の低下を招くほか、集積度と動作性能向上のためにLSIの消費電流の増大を伴う。電源電圧の低下は電源変動に伴う動作リスクの増大をもたらす、消費電流の増大は実装コストの増大などの問題を引き起こしている。LSIを使用する機器の低コスト化のためにはLSIの低電力化が必須であるが、LSIの電力は電源電圧に強く依存し、できるだけ低電圧で回路を動作させることが最も有効な対策である。このため、近年、LSIの動作状態に応じて電源電圧を適切に制御する技術が注目を集めている。この技術には、動作が不要な回路ブロックを動的に電源から切り離すPower Gating技術、動的に電源電圧とクロック周波数を切り替えるDVFS (Dynamic Voltage and Frequency Scaling) 技術などがある。いずれの技術においても適用する回路ブロックごとに電源電圧を時間的に制御する必要があるが、微細化により電源電圧自体が低下してきているため、回路の誤動作リスクを低減するには、電源電圧変動を設計時に精密に予測し、制御できる技術が重要となっている。

著者らは、これまでLSI内の動的な電源変動を予測する技術として、LSIのモデル化技術や電源変動解析技術を開発してきた<sup>1)</sup>さらに精度の高い予測技術を確立するため、LSI内の電源変動をOn Dieで直接観測する技術を開発した。また、開発したモニタを使って、モード切替えが高速で、かつ切替え時の電源変動を抑えることのできる新規のPower Gating技術を開発した。

本稿では、まず、開発したOn Die電源ノイズ観測技術について解説し、つぎにこの技術を応用した富士通研究所独自のPower Gating技術について述べる。

## 電源ノイズ観測手法

従来、LSI内の電源ノイズを観測する技術として、LSIの外からプロービングすることにより、波形をモニタする技術を用いてきた<sup>2)</sup>この方法は、簡便に

電源変動をモニタできる反面、プローブなど、LSI以外のインピーダンスが測定結果に影響を与え、精密な測定を行うことができない。電源電圧自体が1 V程度まで低下し、10 mV程度の精密な制御を要求されるようになると、電源電圧の変動を観測するためにはLSI上に観測装置を構成する手法が必要になってきた。

On Dieで電源電圧をモニタする手法として等価サンプリング手法を用いた手法が提案されている<sup>3)</sup>等価サンプリング手法は、繰返し波形を用いることにより、測定分解能を上げられる特長を持っており、比較的小さい回路規模で実現できる利点を持っている。しかし、等価サンプリングは、入力される波形が周期性を持つことを前提としている。テストチップに実装する場合は意図的に繰返される電源波形を発生させることはできるが、実チップ上では、繰返し波形を発生させることは難しい。ループ構造を持つソフトウェアを使って論理的に繰返しを行うとしても、キャッシュミス、割込み、非同期入力などにより、物理的には一定の周期で動作を繰返すことにならない。また、Power GatingやDVFSなどの技術では、電力モードが変化するタイミングは、通常、クロック周期に比べて十分長く、1 msに1回程度であることが多い。このような長い周期の中で電力モード切替え時に発生する大きな電源ノイズの測定のために、等価サンプリングによる波形取得を100回以上繰返す手法では非常に長い測定時間がかかり現実的ではない。

このため、著者らは、リアルタイムサンプリング手法を用いて必要な情報を取得できるOn Die電源ノイズ観測回路を開発した<sup>3)</sup>リアルタイムサンプリング手法では、通常、高速サンプリング・変換能力と、広い電圧ダイナミックレンジが必要である。しかし、電源ノイズの測定に求められる性質に注目すれば、要求性能を緩和することができる。すなわち、電源ノイズは設定した電圧値を中心に変動し、必要な電源ノイズの情報は、設定電源電圧からOvershootもしくはUndershootした際の最悪値の電圧値と、その現象が生じる時間であり、波形全体の情報は不必要である。

この考えに立って二つのステップを使ってノイズ情報の取得を実現する。第一のステップでは、ノイズの電圧方向のヒストグラムを取得する。この第一

のステップの結果、注目すべき電源ノイズの値が、どのあたりであるかが分かるため、電圧方向の検出窓を狭くすることができ、広い電圧ダイナミックレンジを持つ検出器が不要になる。第二のステップでは、この検出窓にのみ注目して電源ノイズが発生するタイミング情報を取得する。例えば、プロセッサのプログラムカウンタなどにリンクしてタイミング情報を保存しておけば、どのサイクルでクリティカルな電源ノイズが発生するかを知ることができ、電源ノイズ起因の誤動作をデバッグする際に有効に使える。

この手法には二つの利点がある。一つは、ノイズ電圧検出窓を狭く設定できるので、高速なフラッシュADC（AD変換器）を採用してもコンパレータの数が減らせるため小さな回路規模で実現できることである。もう一つは、ノイズに関する情報がピークの情報に限られるため、チップ外部へ取り出した

めのI/Oに必要な帯域を小さくすることができ、コスト増を避けられることである。

## 電源ノイズ観測回路

リアルタイムサンプリング方式によるOn Die電源ノイズ観測を実現する回路構成を図-1に示す。センサヘッドのブロックはアナログ量をデジタル量に変換するブロックであり、ピーク検出&蓄積ブロックはセンサの出力値がノイズピーク検出窓の中にあるかどうかを判定して、窓内にある場合はセンサの出力値と時間情報（カウンタ値）をメモリに書き込む動作を行う。ヒストグラムカウンタブロックではセンサからの出力頻度をカウンタに蓄えていく。外部とのインターフェースは400 kbpsの帯域を持つI<sup>2</sup>Cで行う。シミュレーションの結果、1 msに1回程度のイベントはこのインターフェースで十分にデータを外部に取り出せることが分かっている。センサヘッ

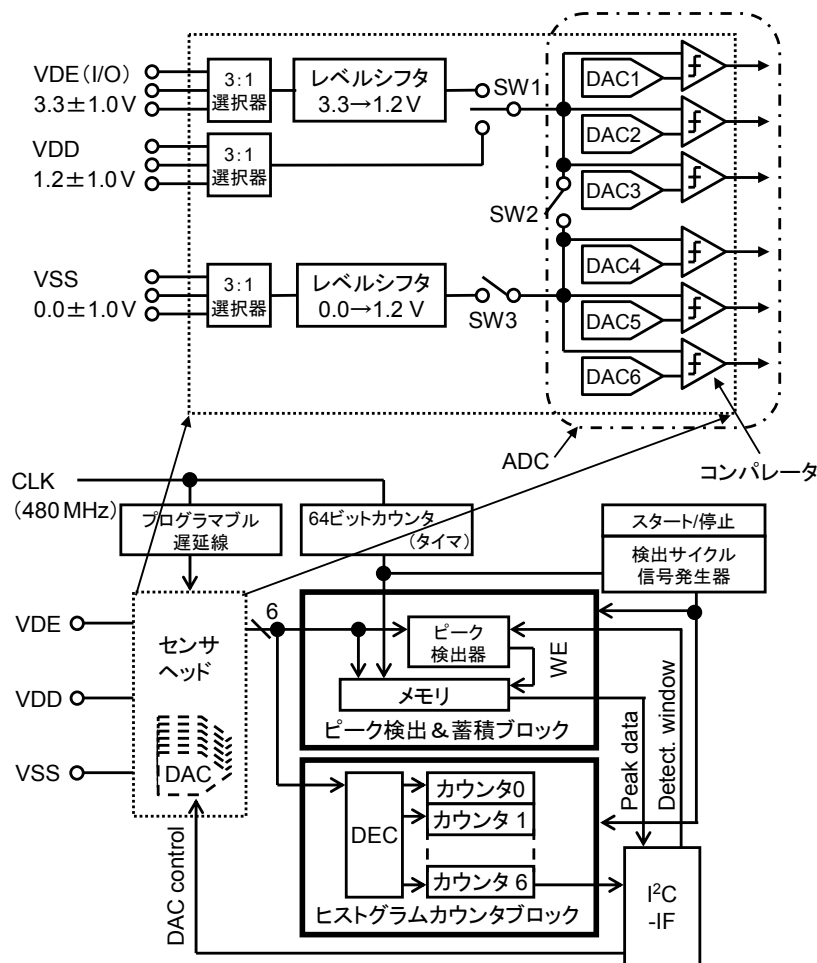


図-1 電源ノイズモニタのブロック構成

Fig.1-Block diagram of power supply noise monitor circuit.

ドは3種類の電源電圧と3箇所の電圧をモニタできるようにアナログマルチプレクサとソースフォロア型電圧変換回路を使い、8ビット分解能相当のADCを6個のコンパレータで構成している。通常必要な256個のコンパレータを6個に抑えることができるのは、検出窓を設定して検出する方式を採るからである。また、各コンパレータの閾値はそれぞれに設けたDAC (DA変換器) によって任意に設定することが可能で、それにより検出窓を自由に設定することができる。回路は90 nm CMOSテクノロジーを用いて設計され、センサヘッドの回路サイズは356 μm × 332 μmである。

## Power Gating技術とその課題

近年の微細化テクノロジーの採用により、トランジスタのリーク電流の増大が低消費電力化の障害になっており、これを防ぐために、LSI内の一部の回路ブロックを一時的に電源から遮断するPower Gating技術が用いられる。Power Gating技術の課題は、遮断状態から復帰させる場合に電源線から回路に向かって大きな突入電流が流れ、この電流によって電源線に大きな電源ノイズが発生することである。この電源ノイズは、同じ電源線につながっている別の常時オンの回路ブロックの誤動作要因となるため、設計上、一定値以下に抑えることが必要である。電源ノイズのピーク値  $\Delta V$  は、簡単なモデルを使った解析から以下のように、復帰時間とトレードオフの関係があることが分かっている。

$$\Delta V = A \times (Z_p + Z_g) \times (C_{eff} \times V_{ext}) / T_{restore} \quad (1)$$

ここで、Aは比例定数、 $Z_p$ 、 $Z_g$ は電源側、グラウンド側それぞれの電源線インピーダンス、 $C_{eff}$ は回路の等価容量、 $V_{ext}$ は外部電源電圧、 $T_{restore}$ は電源復帰時間である。電源ノイズの値は、電源線のインピーダンスが高いほど、あるいは回路規模が大きいくほど大きくなる。復帰時間を短くしようとすると電源ノイズの増大が避けられず、従来技術<sup>(4)</sup>では電源ノイズを抑えるため、数 μsの復帰時間を要していた。しかし、電源のオンオフの周期が10 μs以下になると、休止状態を長く取って、より低電力化を図るためには、電源ノイズを増加させずに復帰時間を1 μs以下にすることが必要である。また、電源ノイズと復帰時間の関係から、より微細化を進めたテク

ノロジーを使用すると、回路の等価容量が増え、同じ復帰時間でも電源ノイズが増加するため、復帰時間と電源ノイズ量のトレードオフを解消できる技術が必要である。

## 突入電流バイパス方式

上記のトレードオフを解消するため、突入電流バイパス電源線 (BPL) をLSI内に設けることを提案<sup>(5)</sup>した (図-2)。この手法では、回路ブロックは動作時の電流を供給する主電源線 (MPL) のスイッチに接続されるだけでなく、BPLにも別のスイッチを介して接続される。MPL側のスイッチは電流を十分供給できるようにオン電流の大きなスイッチが使われるが、BPLは突入電流をバイパスするだけなので、小さいスイッチで構わない。

まず、電源がオフ状態の回路Aを充電するために回路Aの突入電流バイパス用パワースwitchをオンすると、回路Aに流れ込む突入電流はBPLを通じて流れる。この時点で突入電流に起因しBPLに電源ノイズが発生したとしても、MPLや電源がオン状態のほかの回路の仮想電源配線に電源ノイズが発生することはない。なぜならこの時点ではほかの回路 (回路B) の突入電流バイパス用パワースwitchはオフしており、BPLの電源ノイズはLSI外部のバイパス容量により十分に減衰するためである。このため、電源がオン状態の通常に動作している回路に影響する電源ノイズはグラウンド配線上に発生する電源ノイズのみとなる。

一般的にグラウンド配線は、LSI内の電源領域が異なる多くの回路で共有するため、そのインピーダンスが電源配線インピーダンスに比べ1/4~1/3程度

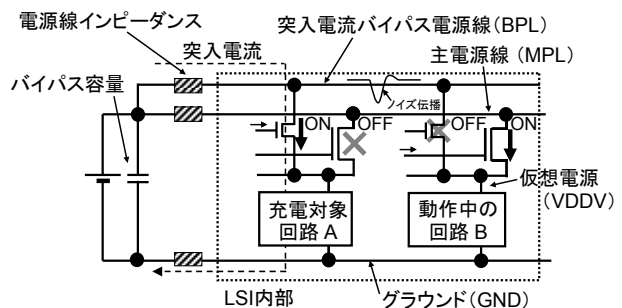


図-2 突入電流バイパス手法を用いたPower Gating回路構成

Fig.2-Power gating circuit configuration using rush current bypass technique.

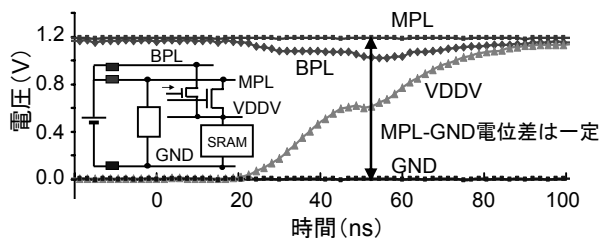


図-3 突入電流バイパス手法を用いた場合の電源ノイズの測定波形

Fig.3-Measured power supply noise waveform with rush current bypass technique using on-die noise measurement circuit.

となる。この結果、 $T_{restore}$ の目標値を実現する際、従来手法で考慮しなければいけない $\Delta V$ に比べて、新規手法で考慮する $\Delta V$ は1/5~1/4となる。

#### テスト回路による効果の検証

著者らは提案手法を適用したデュアルコアプロセッサを90 nm CMOSテクノロジーを用いて試作した。提案手法の有効性とノイズ解析回路モデルの精度を確認するため、前述したOn Dieノイズ観測回路を搭載してLSI内の電源ノイズを測定した。追加したBPLの占める面積はMBLの10%であり、BPL用のスイッチを含めてチップ全体の面積はわずか1%の増加で実現できる。電源がオフ状態のSRAM回路の電源をオンしたときの測定波形を図-3に示す。SRAM回路の仮想電源電圧(VDDV)が電源電圧に達するまで、SRAM回路を充電している間、BPLには電源ノイズが発生していることが分かる。一方、MPLはBPLの電源ノイズの影響を受けていない。SRAM回路を約100 nsという短時間で充電しているにもかかわらず、MPLにノイズが重畳されない。回路規模が2 M Gatesの回路の $\Delta V$ および $T_{restore}$ を測定した結果、図-4に示すように $T_{restore}$ が240 nsの測定条件下において提案手法では $\Delta V$ を2.5 mVまで抑制し、従来手法と比較して87.5%削減できることが実証され、提案手法の有効性が確認できた。また、式(1)で示されるノイズ量は実回路での測定と比較すると約30%の誤差があることが分かった。回路モデルを単純な容量モデルから、論理ゲートの容量充電を正確に表現できるモデルに改良<sup>6)</sup>し、図-4に示されるように10%以内の精度で予測できるようになり、ノイズ解析回路モデルの精

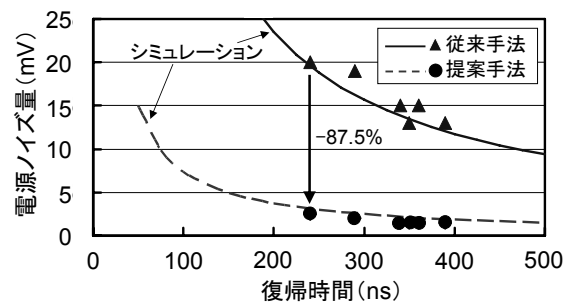


図-4 電源ノイズ量と復帰時間の関係  
Fig.4-Power supply noise and restoring time for power gating. Both of simulation and measurement results are shown.

度が確認された。この結果、改良された回路モデルを使ってPower Gatingを採用するLSIの電源ノイズ量を予測できるようになった。

#### 製品展開

Power Gating技術は微細化プロセスを用いた高性能LSIの低電力技術として有力な技術である。富士通マイクロエレクトロニクス(株)では電源電圧制御を使ったLSIの設計技術をCoolAdjustとして体系化し、Power Gating技術CoolAdjust-PGをその一つとして位置付けている。富士通のLSIとしては、WiMAX端末向けベースバンド処理LSI MB86K22(65 nm)にPower Gatingが初めて搭載されたほか、90 nm世代以降のASICユーザに提供している。

#### むすび

今後、LSIの低電力化のため、電源電圧は低下する傾向にあり、電源電圧制御技術はますます重要になる。実用化のためには、LSI内の電源電圧を精密に解析、制御する技術が重要になってくる。著者らは、まず、On Dieで電源変動を観測できる技術を開発した。つぎに高速な復帰時間で電源ノイズを増加させることなく実現できるPower Gating技術として、突入電流バイパス方式を提案した。開発した電源変動観測技術を利用し、提案技術による電源ノイズの低減効果を検証した。本技術の適用により、1  $\mu$ s以下の高速復帰可能なPower Gatingが実現でき、今後、LSIの低電力化のため適用範囲を広げることができる。

## 参考文献

- (1) 佐藤富夫ほか：電源ノイズ解析のためのLSIノイズモデル. *FUJITSU*, Vol.55, No.6, p.608-613 (2004).
- (2) M. Takamiya et al. : A Sampling Oscilloscope Macro toward Feedback Physical Design Methodology. Symposium on VLSI Circuits Digest of Technical Papers, 2004, p.240-243.
- (3) T. Sato et al. : On-Die Supply Voltage Noise Sensor with Real Time Sampling Mode for Low Power Processor Applications. ISSCC Digest of Technical Papers, 2007, p.290-291.
- (4) P. Royannez et al. : 90 nm Low Leakage SoC Design Techniques for Wireless Applications. ISSCC Dig. Tech. Papers, 2005, p.138-139.
- (5) K. Kawasaki et al. : A Sub- $\mu$ s wake-up time power gating technique with bypass power line for rush current support. Symposium on VLSI Circuits Digest of Technical Papers, 2008, p.146-147.
- (6) 中山耕一ほか：突入電流バイパス電源配線を用いて1 $\mu$ s以内で電源復帰できるパワーゲーティング技術. 信学技法, Vol.108, No.139, SDM2008-141, p.77-82 (2008).