

本デザインレビューシートは、MB91460X シリーズでのシステム開発において、問題を未然に防ぐ事を目的として準備させていただいております。より潤滑にご利用いただく上で、最低限必要と思われるチェック項目をリストしたものです。是非、ご利用ください。また、チェック実績として、ご利用頂いた本書を大切に保管する事をお勧めいたします。

項目	チェック内容	チェック理由	チェック結果	備考	更新日
CPU	外部リセット	リセット入力幅は、当社規格を満足していますか？	リセット入力幅が規格を満足しないと、復帰できなくなる恐れがあります。	Yes / No	2008/3/25
CPU	外部リセットIC	外部リセットICを使用する際、低電圧検出値はマイコンの動作保証値内ですか？また、検出後の発生するまでの電圧降下は考慮されていますか？	動作保証値内でリセットが入力されない誤動作の恐れがあります。	Yes / No	データシート内の動作保証範囲を確認願います。
CPU	割り込み	未定義命令例外割り込みの割り込みベクタ処理をしていますか？	暴走等により未定義命令が実行された場合の暴走要因になります。	Yes / No	未定義命令実行時には未定義命令例外割り込みが発生しますので、特別な処理が必要な場合は、その処理にジャンプする様にして下さい。特別な処理が必要でない場合は、リセットベクタへのジャンプ設定を推奨します。
CPU	割り込み	未使用割り込みベクタの処理をしていますか？	暴走等により未使用割り込みが発生した場合の暴走要因になります。	Yes / No	特別な処理が必要な場合は、その処理にジャンプする様にして下さい。特別な処理が必要でない場合は、リセットベクタへのジャンプ設定を推奨します。
CPU	ビット操作命令	各リソースのレジスタでリードモディファイライト命令を禁止しているものがありますが、対象レジスタにリードモディファイライト命令を使用していますか？	命令実行が正常にされず、意図しないデータが書き込まれる可能性があります。	Yes / No	2008/3/25
CPU	メインクロック発振安定待ち	システムと発振子とのマッチングデータを取得し、必要な発振安定待ち時間を把握していますか？	正常発振しないまま、CPU動作をさせる事が懸念されます。	Yes / No	ご使用される発振子メーカーに発振評価依頼をして下さい。
CPU	サブクロック発振安定待ち	サブクロックの発振が安定していない状態でメインモードからサブクロックモードに状態遷移していませんか？	サブクロックは、メインクロックより発振安定時間が必要で、そのため、サブクロックモードに遷移する場合は、サブクロックが発振安定してから状態遷移する必要があります。	Yes / No	サブクロックを使用する場合のみ対象
CPU	クロック	内部クロック動作モードの切り替え(PLL,メイン,サブ)において、切り替え中に他のモードへ切り替えを行っていますか？	内部クロック動作モードの切り替え(PLL,メイン,サブ)において、切り替え中に他のモードへ切り替えを行うと切り替えタイミングにおいて問題が発生する可能性があります。(サブ動作→メイン発振において、メインクロック発振安定待ち時間中にPLLモードに遷移しようとする行為などは、禁止させていただきます。)	Yes / No	マニュアルの説明を参照願います。
CPU	クロック	PLLモードからメインモードを渡さず直接ストップモードに遷移もしくは、直接時計モードに遷移している場合の発振安定待ち時間を設定しておられますか？	PLLクロックモードのままSTOPモードに移行できません。但し、復帰の際には発振安定待ち時間とPLLのロック時間を考慮した発振安定待ち時間のセットが必要です。	Yes / No	2008/3/25
CPU	クロック	メインモード→PLLモード、メインモード→サブモードへの状態遷移時には、タイムベースタイマの割り込みを禁止していますか？	タイムベースタイマは、発振安定待ち時間、PLLクロック安定待ち時間のカウンタ用として使用されますので、以下の状態遷移でカウンタが自動的にクリアされます。 ・メインクロックモードからPLLクロックモード遷移 ・サブクロックモードへの遷移 ・ストップモードへの遷移 メインモード→PLLモード、メインモード→サブモードへの状態遷移時には、タイムベースタイマの割り込みを禁止しないと、意図しないタイムベースタイマ割り込みが発生する可能性があります。	Yes / No	2008/3/25
CPU	スタンバイモード遷移	スタンバイモード遷移時の注意事項についてご存知ですか？	同期スタンバイ動作 (TBCR.SYNCS="1") を有効にしてスタンバイモードに遷移するには、該当のコントロール ビット (sleep ビット, stop ビット) に書き込んだ後に STCR レジスタを1回読み取る必要があります。 (LDI #value_of_standby, R0) ; //value_of_standbyにはSTCRの書き込みデータが含まれます。 (LDI # STCR, R12) ; // STCRはSTCRのアドレスです(481H)。 STB R0, @R12 ; //スタンバイ制御レジスタ (STCR) に書き込みます。 LDUB @R12, R0 ; //同期スタンバイではSTCRの読み取りが必要です。 LDUB @R12, R0 ; //STCRへの2回目のダミーリード NOP ; //タイミング用にNOP x 5が必要です。 NOP NOP NOP NOP	Yes / No	2008/3/25
周辺機能	I/Oポート	システムにおいて、フェールセーフを目的に重要なポート入出力の追い書き等の処理を行っていますか？	基本的には、ソフトで設定しないかぎりポートの状態は変化しません。しかしながら、システムのフェールセーフを目的として、重要なポートには、追い書き等のリフレッシュ機能をソフト的に挿入する事を推奨いたします。	Yes / No	2008/3/25
周辺機能	I/Oポート	CMOS入出力ポートを出力として使用する場合、PDRxレジスタを設定してからDDRxレジスタを設定していますか？(FR30系) CMOS入出力ポートを出力として使用する場合、PDRxレジスタを設定してからDDRxレジスタを設定してPFRxレジスタを設定していますか？(FR60系)	PDRxレジスタの初期値は不定ですので、PDRxレジスタを設定せずにDDRxレジスタで出力設定すると不定出力することになります。出力として使用する場合はPDRxレジスタを先に設定してください。次にPFRxレジスタ設定がある場合は設定してください。	Yes / No	2008/3/25
周辺機能	ADC	アナログ入力インピーダンスがデータシートに記載されているアナログ入力インピーダンス以下ですか？アナログ入力インピーダンスが高い場合、サンプルホールド時間を長く設定するか、外部にコンデンサを付けてインピーダンスを低くする必要があります。	アナログ入力インピーダンスが大きい場合、アナログデータのサンプリング時間が足りなくなる場合があります。	Yes / No	A/Dコンバータを使用する場合のみ対象

本デザインレビューシートは、MB91460X シリーズでのシステム開発において、問題を未然に防ぐ事を目的として準備させていただいております。より潤滑にご利用いただく上で、最低限必要と思われるチェック項目をリストしたものです。是非、ご利用ください。また、チェック実績として、ご利用頂いた本書を大切に保管する事をお勧めいたします。

項目	チェック内容	チェック理由	チェック結果	備考	更新日
周辺機能	ADC	アナログサンプルホールド時間は、十分に確保していますか?	Yes / No	データシートの推奨アナログ入力インピーダンス以上でご使用になる場合のみ対象	2008/3/25
周辺機能	ADC	A/D変換終了とA/D起動が同時に行われることはありませんか?	Yes / No	A/Dの動作中にA/D起動を行っている場合のみ対象	2008/3/25
周辺機能	ADC	AVRまたはAVRH.AVCCの電圧レベルは十分に安定していますか?	Yes / No	A/Dコンバータを使用する場合のみ対象	2008/3/25
周辺機能	Flash	Flashメモリ書き込み/消去(チップ消去,セクタ消去)中にFlashメモリのリードが行えない事をご存知ですか?	Yes / No	FLASHのユーザー書き込みを行なう場合のみ対象	2008/3/25
周辺機能	Flash	FLASHメモリのユーザー書き込みに対応している場合、ハードウェア・シーケンス・フラグを用いてFLASH書き込み制御を行なっているでしょうか?	Yes / No	FLASHのユーザー書き込みを行なう場合のみ対象	2008/3/25
周辺機能	I2C	マスタモード設定(MSSビットへの1書き込み)後、ALビットを確認していますか?	Yes / No	I2Cを使用する場合のみ対象	2008/3/25
周辺機能	I2C	通信相手のデータセットアップ時間規格を満たすように本品種の動作周波数を設定していますか?	Yes / No	I2Cを使用する場合のみ対象	2008/3/25
周辺機能	I2C	INTビットのクリアは、割り込みルーチン処理の終わりでなっていますか?	Yes / No	I2Cを使用する場合のみ対象	2008/3/25
周辺機能	I2C	I2Cバスを使用する場合、兼用ピンを入力として設定(DDR=0)されてご使用になられているでしょうか?	Yes / No	I2Cを使用する場合のみ対象	2008/3/25
周辺機能	ハードウェアウォッチドッグタイマ	ハードウェアウォッチドッグタイマを定期的にクリアされていますか? (HWDCS.CLビット)	Yes / No	CPU が動作しないモード (SLEEP モード、STOP モード、SHUT-DOWN モード、RTC モード) ではそれらのモードへの遷移前にタイマはクリアされ、カウントは停止します。また、DSU 経由でデバッグルーチンが実行中にはウォッチドッグタイマはクリアされ、カウントは停止します。しかしDMA 転送時間がウォッチドッグ周期より長い場合はリセットが発行されます。	2008/3/25
周辺機能	ウォッチドッグタイマ	タイマ割り込みなどによりウォッチドッグタイマをクリアしていませんか?(PLL選倍誤設定及び、間欠動作モードも考慮していますか?)	Yes / No	ウォッチドッグリセット間隔が十分に考慮されていないと、プログラムが正常な手順で進んでいるかどうかの検出が出来ません。	2008/3/25
CAN関連	C.CANの使用制限について	C.CANマクロの使用制限はご存知ですか?	Yes / No	不具合レポートは個別対応させて頂いておりますので、弊社の営業経由でお問い合わせください。	2008/8/8
全般	—	リンカの配置結合にて、Flash.MaskチップのROM.RAM容量に合わせてメモリ範囲を設定していますか?	Yes / No	評価用のEVAチップとFlash.Maskチップの内蔵メモリ容量が異なります。そのため、ツールでは正常に動作確認が出来ても、実チップでは、動作しない可能性があります。	2008/3/25
全般	—	スタックの最大使用量をチェックしていますか?	Yes / No	SoftuneのCアナライザなどを使用してスタックの最大使用量をチェックされる事を推奨します。(なお、Cアナライザでは、動的なスタックはチェックできませんので、多重割り込み発生時など考慮して確認する必要があります。)	2008/3/25
全般	—	ライトオンリのビットを含むレジスタにリードモードファイライト系の命令を実行していませんか?	Yes / No	Cソースでの開発の場合は、ライトオンリのビットを含むレジスタに対してヘッダファイルでビット単位で適宜されている事がないか確認をお願いします。リードモードファイライト系の命令は、命令一覧表のRMWIに*がある命令を示します。	2008/3/25

本デザインレビューシートは、MB91460X シリーズでのシステム開発において、問題を未然に防ぐ事を目的として準備させていただいております。より潤滑にご利用いただく上で、最低限必要と思われるチェック項目をリストしたものです。是非、ご利用ください。また、チェック実績として、ご利用頂いた本書を大切に保管する事をお勧めいたします。

項目	チェック内容	チェック理由	チェック結果	備考	更新日	
全般	使用電圧範囲、使用温度範囲、使用動作周波数は、富士通の定める規格を満たしていますか？満たしていない場合は特殊保証の検討と取り交わしを行っていますか？	保証範囲外でご利用される場合、製品保証ができなくなります。	Yes / No	データシート内の動作保証範囲を確認して下さい。	2008/3/25	
ノイズ対策及びその他	Mode端子	MOD端子の処理は、命令実行中でも同一レベルが確保されていますか？	MOD端子レベル誤読し出す恐れがあります。(MOD端子が高インピーダンスの抵抗で処理されている場合など、ノイズによりMOD端子レベルが確保できなくなる可能性があります。)	Yes / No	外部ノイズがMOD端子に周り込み安い場合は、モード端子にコンデンサを接続する等の静電気対策が行われる事を推奨いたします。	2008/3/25
ノイズ対策及びその他	Mode端子	MOD端子の処理の配線が長かったり、隣接に大電流信号がないですか？	電源変動やノイズの影響でMOD端子レベル誤読し出す恐れがあります。	Yes / No		2008/3/25
ノイズ対策及びその他	発振	水晶振動子を使用している場合、適正なダンピング抵抗が挿入されていますか？	水晶振動子を使用する場合は、励振電流を抑制するためにダンピング抵抗が必要です。	Yes / No	ご使用される発振子メーカーに発振評価依頼をして下さい。	2008/3/25
ノイズ対策及びその他	発振	量産チップで発振のマッチングデータを取得していますか？	Flash品とMask品では発振特性が異なる場合がありますので、量産品において発振マッチングデータを取得する事を推奨します。	Yes / No	ご使用される発振子メーカーに発振評価依頼をして下さい。	2008/3/25
ノイズ対策及びその他	発振	発振回路部のダンピング抵抗値は不要輻射ノイズと発振振幅を意識して値を決定していますか？	発振が正常にされなかったり、発振のオーバershoot、アンダershootにより不要輻射ノイズが増加する可能性があります。	Yes / No	不要輻射ノイズ問題が発生した時は、まず発振波形を確認しつつ不要輻射ノイズ対策としてダンピング抵抗の挿入検討が必要です。	2008/3/25
ノイズ対策及びその他	発振	発振子は、出来るだけチップの近くに配置していますか？	外来ノイズによるCPU暴走の恐れが考えられます。	Yes / No	発振子は、必ずチップ近くに配置する事を推奨します。	2008/3/25
ノイズ対策及びその他	Vcc,GND	Vcc,GNDは出来るだけ強くなる様に考慮されていますか？	不要輻射ノイズの問題及び、外来ノイズによるCPU暴走の恐れが考えられます。	Yes / No	不要輻射ノイズ及び、外来ノイズ問題事前回避を考えると、電源,GNDを極力広く取る事を推奨します。(チップの下などは、GNDを置く事でGND強化が図れます。)	2008/3/25
ノイズ対策及びその他	ESD,ラッチアップノイズ	量産チップでESD,ラッチアップノイズ評価を行っていますか？	Flash品とMask品ではESD,ラッチアップノイズの実力が異なりますので、量産品においてESD,ラッチアップの評価を行う事を推奨します。	Yes / No	Mask,Flash 間の実力特性データについては、特性例として当社測定結果を提出する事は可能ですので、ご要望願います。	2008/3/25
ノイズ対策及びその他	コンデンサ	ノイズ対策用のコンデンサは、チップの近くに最適値のコンデンサが接続されていますか？	ノイズ対策に付けたコンデンサがリードのリアクタンス成分で効かない場合があります。(ノイズ成分を考慮した対策が必要です。)	Yes / No		2008/3/25
ノイズ対策及びその他	未端子処理	使用していない端子は、2kΩ以上の抵抗を返してプルアップもしくはプルダウン処理していますか？もしくは、端子開放でインシャルルーチン内でポート出力処理を行っていますか？	未使用端子が抵抗を返さず端子処理された場合、CPU暴走によりポートレベルが処理レベルと反対のレベル出力した場合にラッチアップ等の問題が発生する可能性があります。	Yes / No		2008/3/25
ノイズ対策及びその他	特殊保証	特殊保証の検討を行った場合、通知書面に、「ご確認印(本回答で(問題なし、問題あり))」を明記の上、担当営業まで書面を返却していますか？	特殊保証をしている場合に、試験変更が必要な場合がありますので、必ずROMリリース前までに返却をお願いします。	Yes / No	試験対応に数ヶ月程の時間がかかる場合がありますので、ROMリリース直前のご返却では試験対応できない場合もあります。	2008/3/25
CAN関連	受信エラーとバスオフについて	受信エラーによるバスオフの可能性がない事を知っていますか？	受信エラーによるバスオフが発生すると思ってソフト開発されているケースがありますがその場合の処理は、無効となります。	Yes / No		2011/1/20
CAN関連	高速CANと発振子の制度	高速CANデータ通信を行っている場合、精度の良い発振子を使用していますか？	許容できる発振子の誤差は、CANのポーレートに依存するため、発振子の誤差が大きいと通信が正常に行われな場合があります。	Yes / No		2011/1/20
CAN関連	CANポーレート	CANポーレートを決定するための各セグメントの条件を考慮した設定にしていますか？	CAN送受信が正常にされない可能性があります。	Yes / No	マニュアルのTSEG1≥2TQ,TSEG1≥RSJW,TSEG2≥2TQ,TSEG2≥RSJWの条件を満たしているかの確認をお願いします。	2011/1/20
CAN関連	IDR	IDにIDをセットしないまま、メッセージバッファ(BVAL)をイネイブルにしないでしょか？	IDをセットするIDRは、初期値不定です。そのため、値をセットしないままに対象メッセージバッファをイネイブルにすると、不定のIDのデータを受信する可能性があります。	Yes / No		2011/1/20
CAN関連	DIRビットについて	MDirビットをマスクしないようにしていますか？	マニュアルにMDirビットには常に「1」を設定してくださいと記述されています。	Yes / No	マニュアルをご参照ください	2011/1/20
CAN関連	C.CANの送信について	最下位のメッセージバッファを送信バッファとして設定して、かつ、最下位メッセージバッファの送信キャンセルを行っていませんか？	優先順位が最下位のメッセージバッファを送信に使用している場合、TXRQSTを「0」に設定すると、TXRQSTを「1」に再設定したときに送信が遅延することがあります。TXRQSTが「0」に設定されたタイミングによって、TXRQSTを「1」に設定した直後にメッセージが送信されない場合があります。メッセージは下記のいずれかのイベントの後に送信されます。 - CANバス上に有効なメッセージが流れる - 他のメッセージバッファに対して送信要求が発生される - CANバスがINITビットによって初期化される	Yes / No	マニュアルをご参照ください	2011/1/20
CAN関連	C.CANの送信について	自動再送信禁止モード(DARビット=1)において、複数(3つ以上)のメッセージを同時に送信していませんか？	自動再送信禁止モード(DARビット=1)で、ホスト側が複数(3つ以上)メッセージの同時送信を要求した場合、そのうちの2つのメッセージだけが送信されます。要求されたほかのすべての送信メッセージに対しては、TXRQSTビットがリセットされますが、送信は開始されず、NEWDATとINTPNDはそのまゝの状態です。	Yes / No	マニュアルをご参照ください	2011/1/20

本デザインレビューシートは、MB91460X シリーズでのシステム開発において、問題を未然に防ぐ事を目的として準備させていただいております。より潤滑にご利用いただく上で、最低限必要と思われるチェック項目をリストしたものです。是非、ご利用ください。また、チェック実績として、ご利用頂いた本書を大切に保管する事をお勧めいたします。

項目	チェック内容	チェック理由	チェック結果	備考	更新日
CAN関連	INITビットについて	CANデータフレームを送信中にCANコントロールレジスタのINITビットを設定していますか？	Yes / No		2011/1/20
周辺	LIN-USART	LIN-USARTを同期モード(動作モード2)のマスターモードにおいて、シリアルクロックのマークレベルを“L”に設定しているときにソフトウェアリセット(SMR: UPCL=1)を行っていますか？	Yes / No		2011/1/20
CPU	クロック	クロック動作モードの切り替え(メイン<->PLL)において、自動ギア機能を使用していますか？	Yes / No	マニュアルをご参照ください	2011/2/28
CPU	クロック	ギアアップ中もしくはギアダウン中にCLKR、PLLCTRL、PLLDIVM、PLLDIVN、PLLDIVG、PLLMULG、DIVR0、DIVR1の変更をしていますが、ありますか？	Yes / No		2011/2/28
CPU	クロック	DIVR0:P3~P0を変更する際、周辺クロックで動作させている機能を停止していますか？	Yes / No		2011/2/28
CPU	クロック	メインクロックモードにおいて、CLKR:PLL1EN=0の状態をPLLDIVM、PLLDIVN、PLLDIVG、PLLMULGを変更していますか？	Yes / No		2011/2/28
CPU	クロック	CLKRレジスタにて、メインクロックモードからメインクロックモードに再設定した場合、もしくはPLLクロックモードからPLLクロックモードに再設定した場合、PLLCTRL:GRUPもしくはPLLCTRL:GRDNを確認していませんか？	Yes / No		2011/2/28
CPU	クロック	PLLCTRL:GRUP=1になったのを確認してから、クリアしていますか？	Yes / No		2011/2/28
CPU	クロック	PLLCTRL:GRDN=1になったのを確認してから、クリアしていますか？	Yes / No		2011/2/28
CPU	固定モードベクタ/リセットベクタアクセス	モードベクタアドレス/リセットベクタ領域アクセス時にアクセス単位によって読みだされる値が異なることを把握していますか？	Yes / No		2011/9/12