

アプリケーションノート 高速メモリの電源設計 Rev.4

2011年1月

富士通セミコンダクター株式会社

■ はじめに

- 背景
- 目的

■ 注意点

- 推奨動作条件
- 平均電流とピーク電流
- 電源ドロップ
- パソコンの取り付け

■ 背景

■ 電源設計の難易度が上昇

- メモリデータバンド幅の増大に伴い、ピーク電流値が増大
- 低電圧化による電圧バラツキの許容度が減少
- 高速化によるタイミングマージンの減少

■ 高密度実装化によりPCB上でのスペース削減

- 電源ICやパスキコンの配置場所が限定

■ 目的

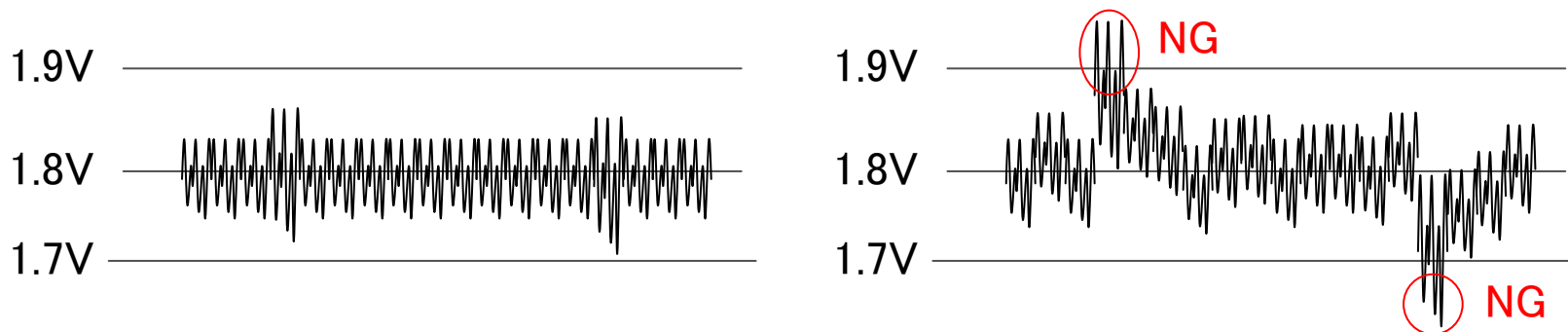
- 本アプリケーションノートでは、メモリの電源設計について注意点について説明します。

注意点：推奨動作条件

■ 推奨動作条件の範囲に収まるように電源設計して下さい。

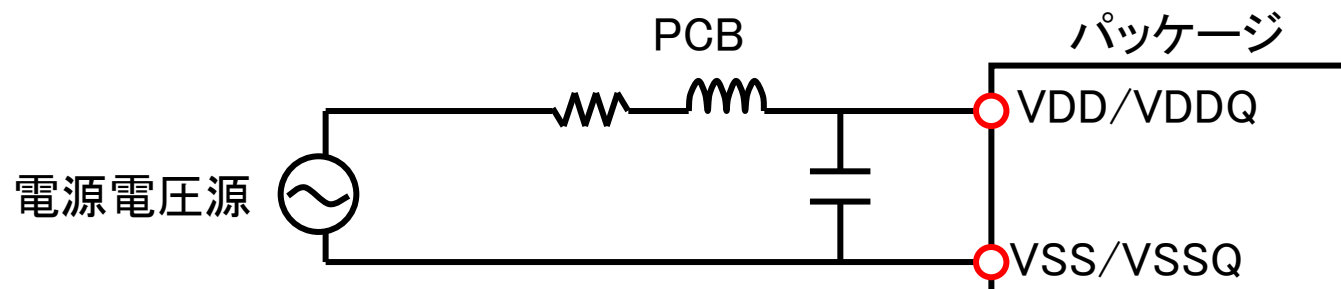
■ 推奨動作条件は、 $VDD=VDDQ=1.7\sim 1.9V$ です。

■ VSS 、 $VSSQ$ が基準となるので、 VSS 、 $VSSQ$ の変動を加味して下さい。



■ 電源電圧源（電源IC）からメモリ電源端子へのAC/DC的な電圧ドロップを加味して下さい。

■ 推奨動作条件は、パッケージの電源端子で規定されます。



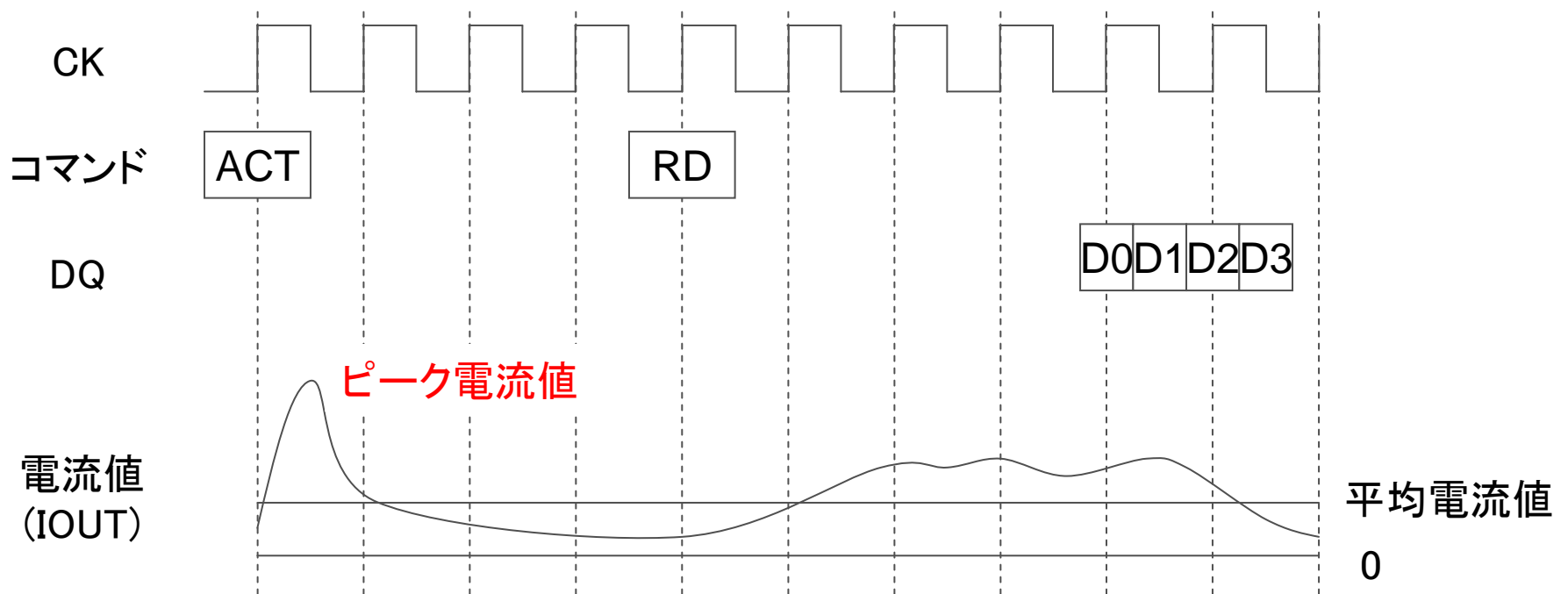
注意点：平均電流とピーク電流

■ 電源設計では平均電流値でなくピーク電流値を参照して下さい。

■ ピーク電流値は、平均電流値の数倍です。

- データシートでは平均電流値が記載されています。
- ピーク電流値は、メモリーメーカーに問い合わせる必要があります。

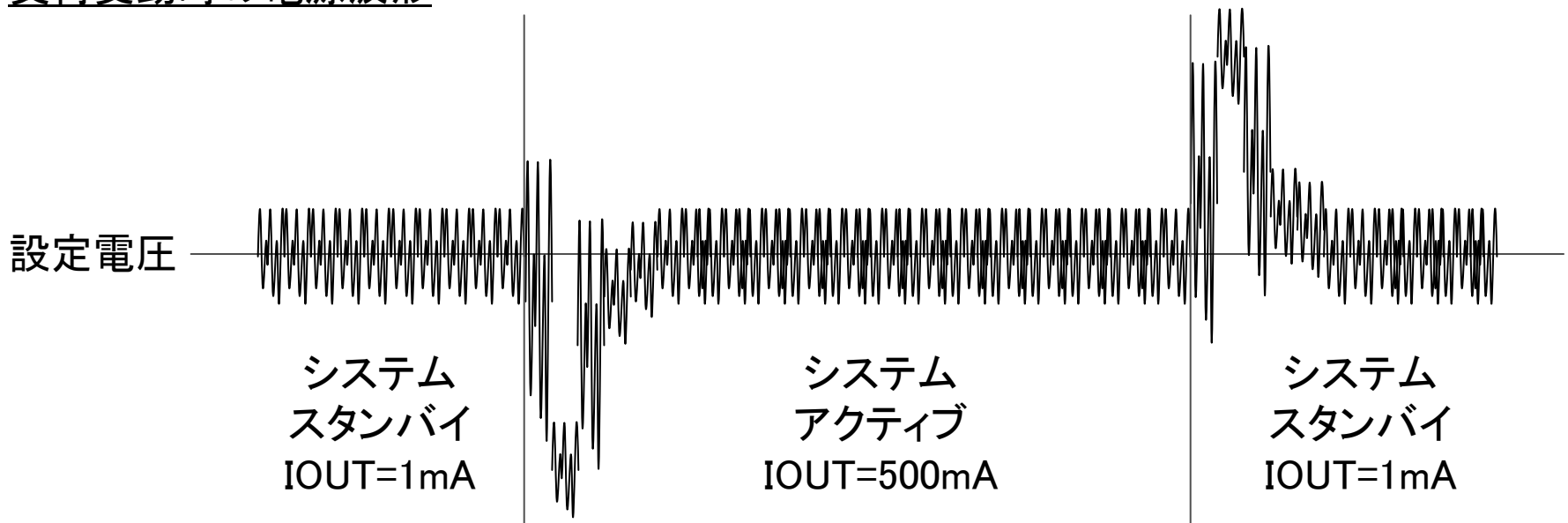
例：1バンク動作時の電流値イメージ



注意点：電源ドロップ

- 負荷変動時の電源ドロップを加味して電源設計して下さい。
 - システム状態がスタンバイからアクティブになる場合、負荷電流が急変（例：1mA→500mA）するため、通常よりも電圧ドロップが大きくなります。
 - また、設定電圧レベルに復帰するのに一定の時間を要します。

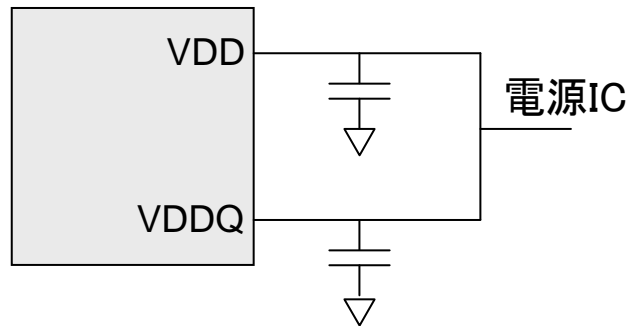
負荷変動時の電源波形



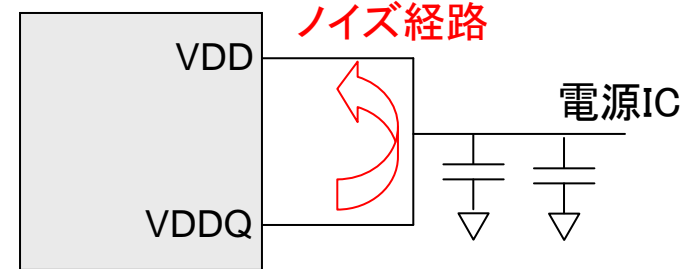
■ VDDとVDDQの分離

- VDDとVDDQは同一電源チャンネルに割り当て可能ですが、下記のようにVDDとVDDQでノイズが伝播しないようにパソコンを経由した後で接続して下さい。

良い例



悪い例



■ パソコン容量

■ VDD-VSS: $0.1 \mu\text{F}$

- 全てのVDD端子にパソコンを取り付けることを推奨します。


■ VDDQ-VSS: $0.1 \mu\text{F}$

■ パソコンまでのインダクタンス制限

■ VDDおよびVDDQのパッケージボール端からパソコンまでのインダクタンスは極力小さくしてください。

■ パソコンまでのインダクタンスが大きくなる場合は、電圧変動幅の削減を検討してください。

- 例: $1.8\text{V} \pm 0.1\text{V} \rightarrow 1.8\text{V} \pm 0.07\text{V}$ など



FUJITSU

shaping tomorrow with you