

FCRAM (擬似SRAM) と SRAM との動作相違点

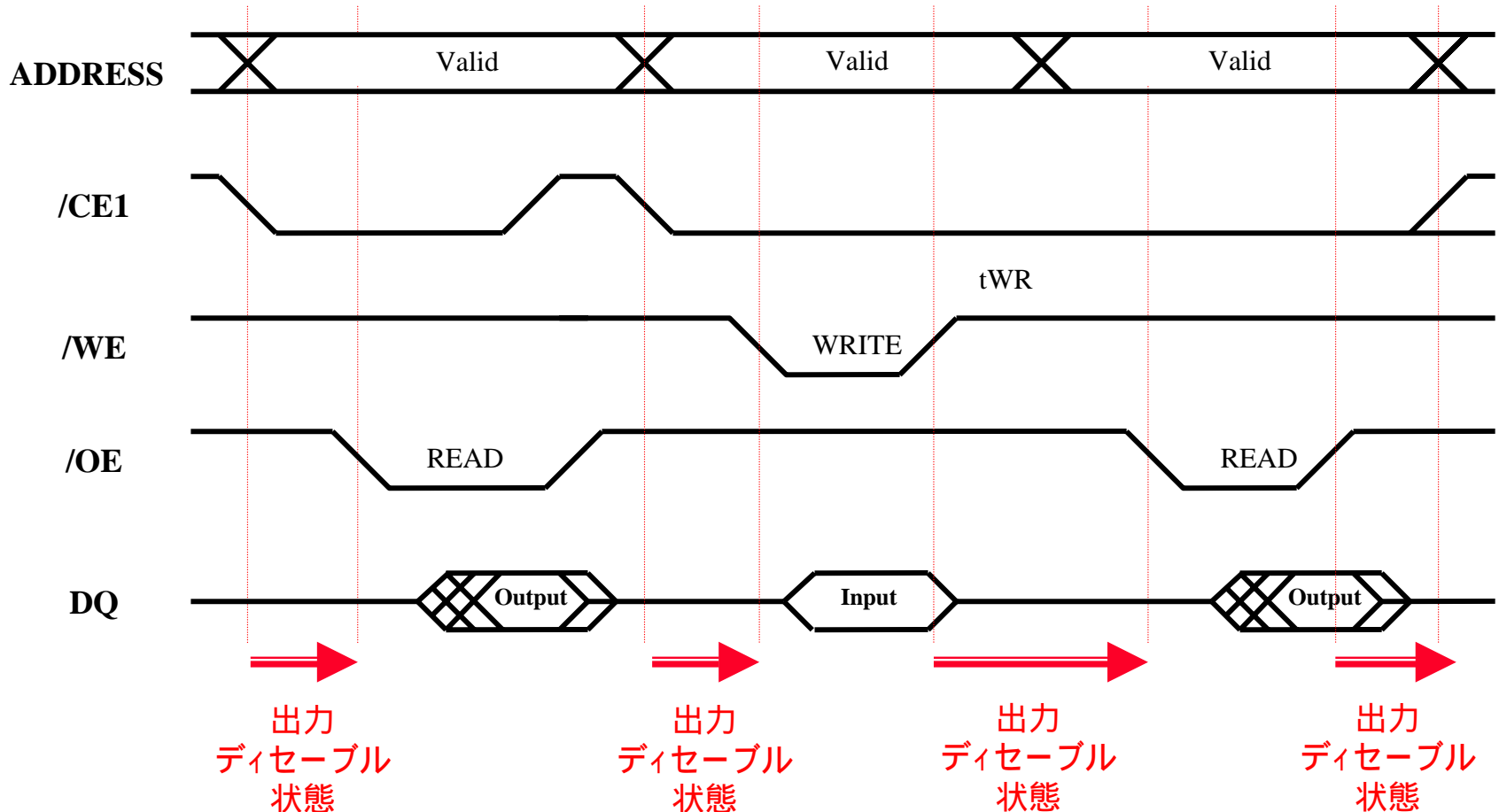
富士通マイクロエレクトロニクス株式会社

- FCRAM (擬似SRAM) とSRAMの動作相違点
 - セル構造
 - ・ 低速動作時のタイミング規定
 - ・ コンデンサ挿入
 - 周辺回路
 - ・ 入力信号遷移規定
 - ・ セットアップ/ホールドタイム制約
 - 電源投入規格
 - 論理仕様・機能の違い
 - ・ CE2、/LB & /UB端子の処理
- 使用上の注意点まとめ

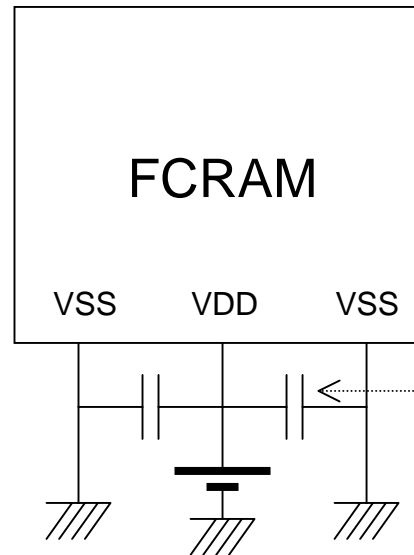
- SRAMはCMOSの6トランジスタ構造
 - Flip Flop型で安定している (データが破壊し難い)
- FCRAM (擬似SRAM) はキャパシタ型セル採用
 - 内部リークにより電荷が失われる揮発性セル
 - 破壊読み出し方式なので読み出し後でも再書き込みが必要
 - ・ DRAMではプリチャージと呼ぶリストア動作
- 注意点
 - 低速動作時のタイミング規定あり (P4参照)
 - ・ 外部からの信号制御は不要
 - FCRAM (擬似SRAM) 内部で自動的にリフレッシュおよびプリチャージ制御
 - 電解コンデンサを電源端子間に挿入することを推奨 (P5参照)
 - ・ リフレッシュ動作に伴うピーク電流対策のため
 - 内部電源採用のため低電圧データリテンション機能は未対応
 - ・ データリテンション電圧は動作最低電圧 (VDD min) と同一

低速動作時のタイミング規定

- 出力ディセーブル状態 ($/CE1=L$ 、 $/OE=/WE=H$)は、 $1\mu s$ を超えて状態維持してはいけません。



- リフレッシュ動作に伴うピーク電流対策のため、電源変動を規定の電圧範囲内に収める必要あり
 - 0.1uFから0.2uFの電解コンデンサを電源端子間に挿入することを推奨



各コンデンサは
FCRAMに
近接させる

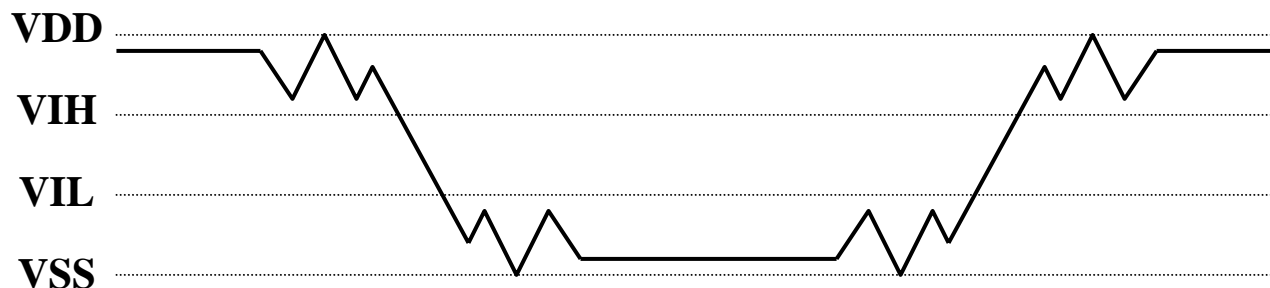
周辺回路(セル構造の副作用)

- SRAMは論理が確定さえすれば動作する
- FCRAM(擬似SRAM)は制御信号の遷移を検出して動作する
 - 遷移信号が安定しないと誤動作(グリッチに弱い)
 - 確定した動作は途中で止められないため、タイミング制限あり
 - ・ リフレッシュやリストア動作のため、サイクルタイム以内で変更が出来ない
- 注意点
 - 入力信号遷移規定(P7参照)
 - タイミング制約(P8-11参照)
 - ・ SRAMには無いリフレッシュおよびリストア対策用の特殊規定
 - ・ 詳細タイミング規定については、データシートを参照下さい
 - アドレス系
 - (リード系: tAX[/CE1=/OE=Lの時]、tRC)
 - (ライト系: tAS、tAH [ライトパルス開始信号で規定]、tWC)
 - /CE1系とアドレスのタイミング制限
 - (リード系: tASC、tCHAH、tCP)
 - (ライト系: tAS、tCW、tWR)
 - /OE&/WE系とアドレスのタイミング制限
 - (リード系: tASO、tOHAH)
 - (ライト系: tAS、tWR、tOHCL、tOES)

入力信号遷移規定

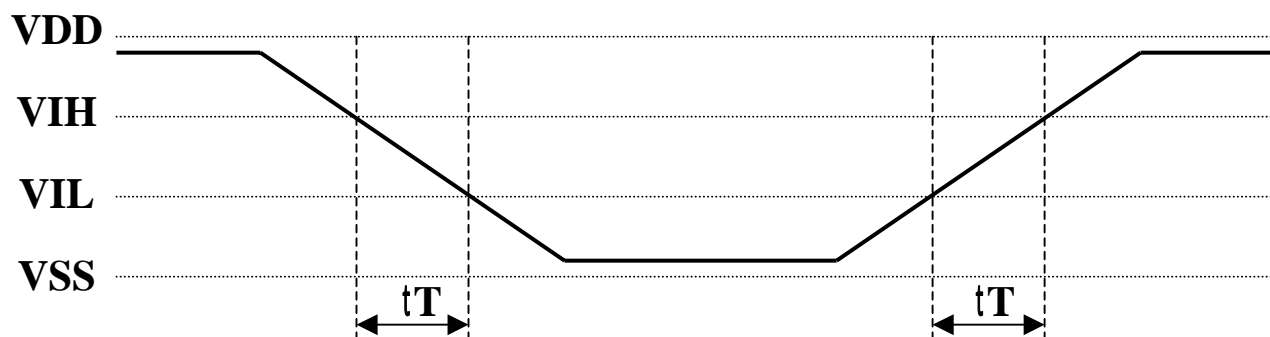
■ グリッジ除外規定

- VIH / VIL規定内は含まない



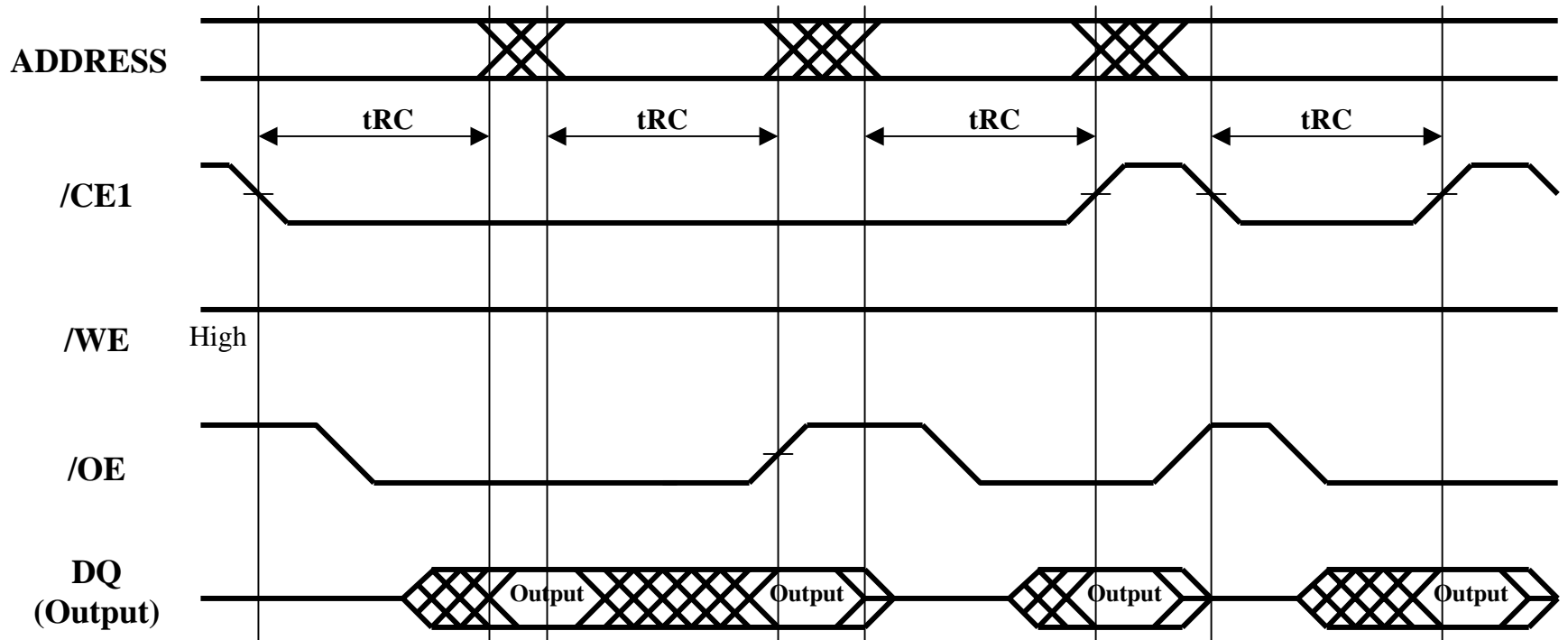
■ 信号遷移規定

- 遷移時間 (t_T) は最大25ns

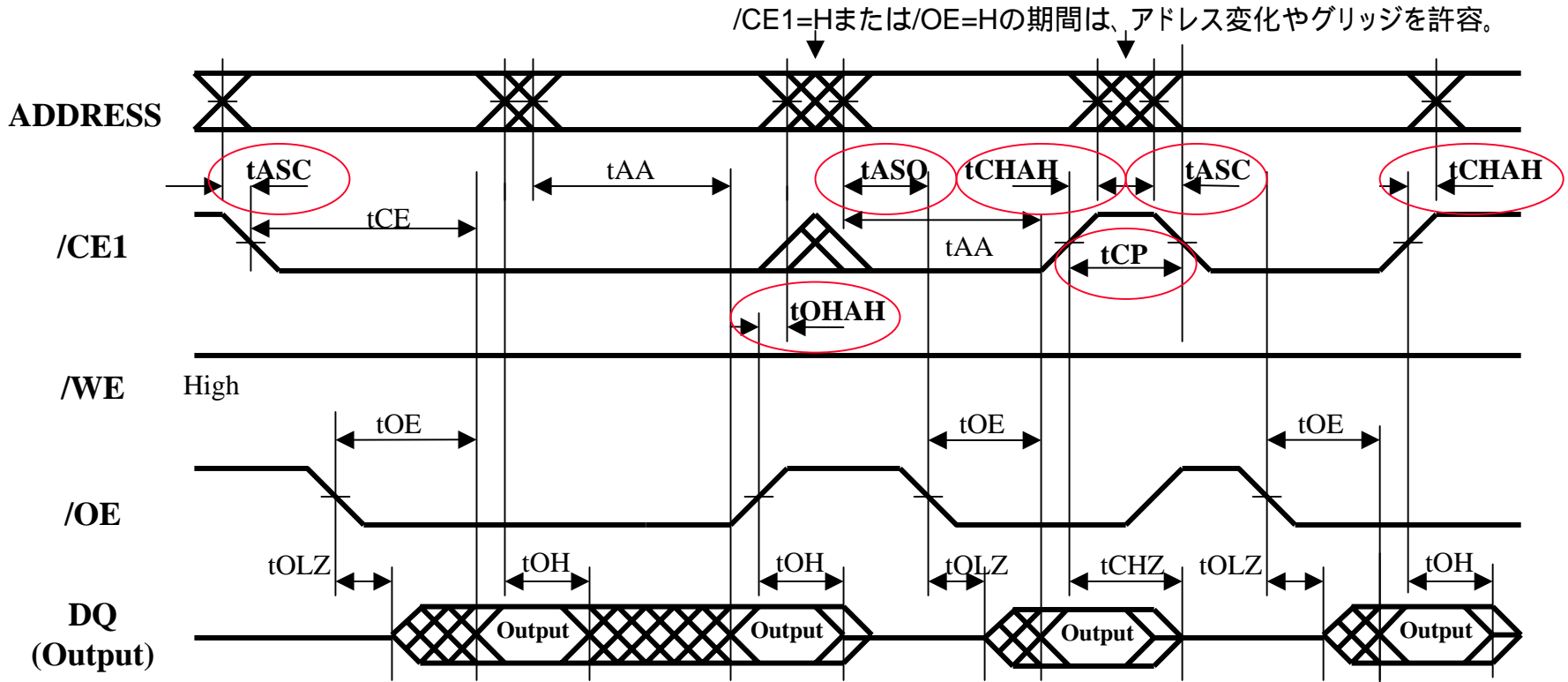


■ リード動作のサイクルタイム規定

- サイクルタイムは、/CE1またはアドレスの遷移エッジで規定
 - ・ 最小および最大サイクルタイム規定を満足する必要あり



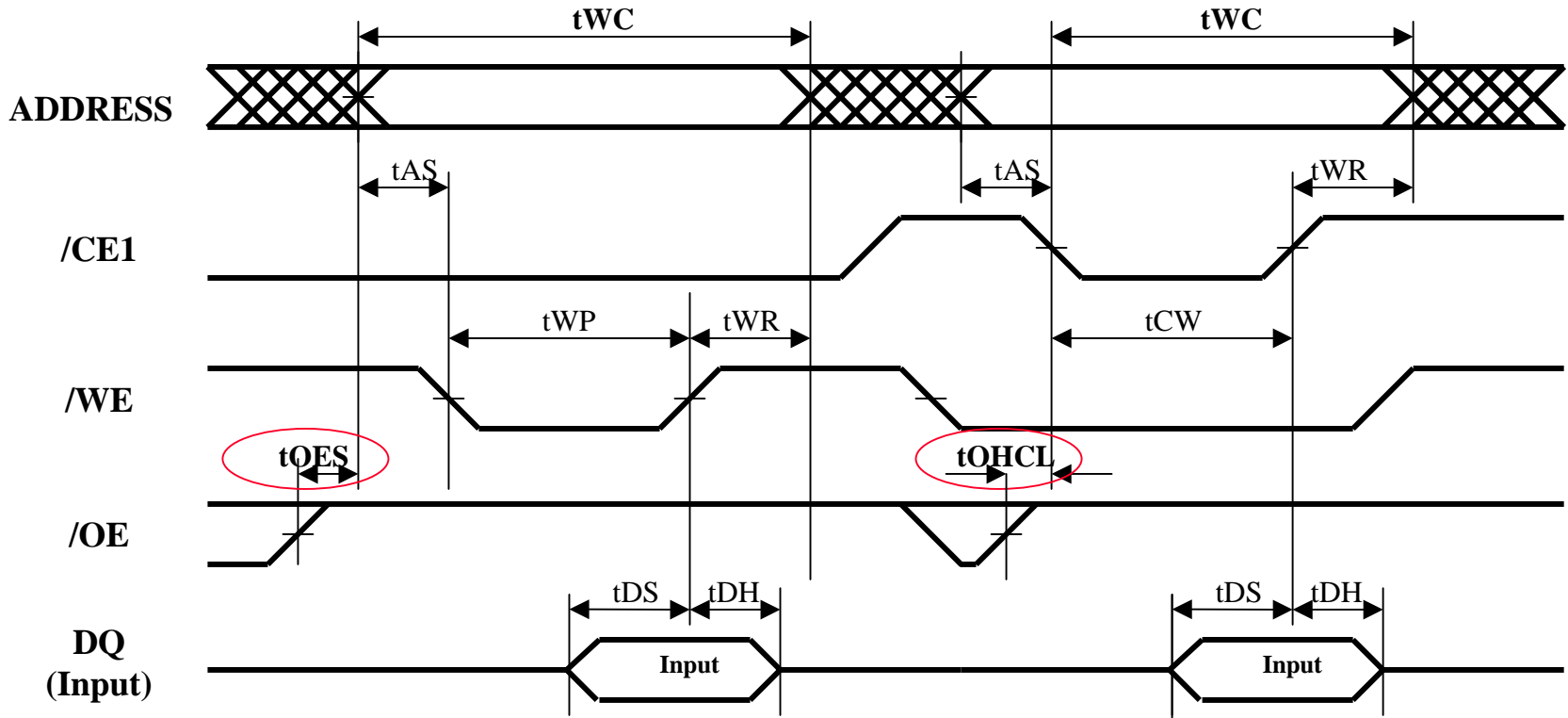
■ リード動作のセットアップとホールドタイム規定



タイミング制約 (3)

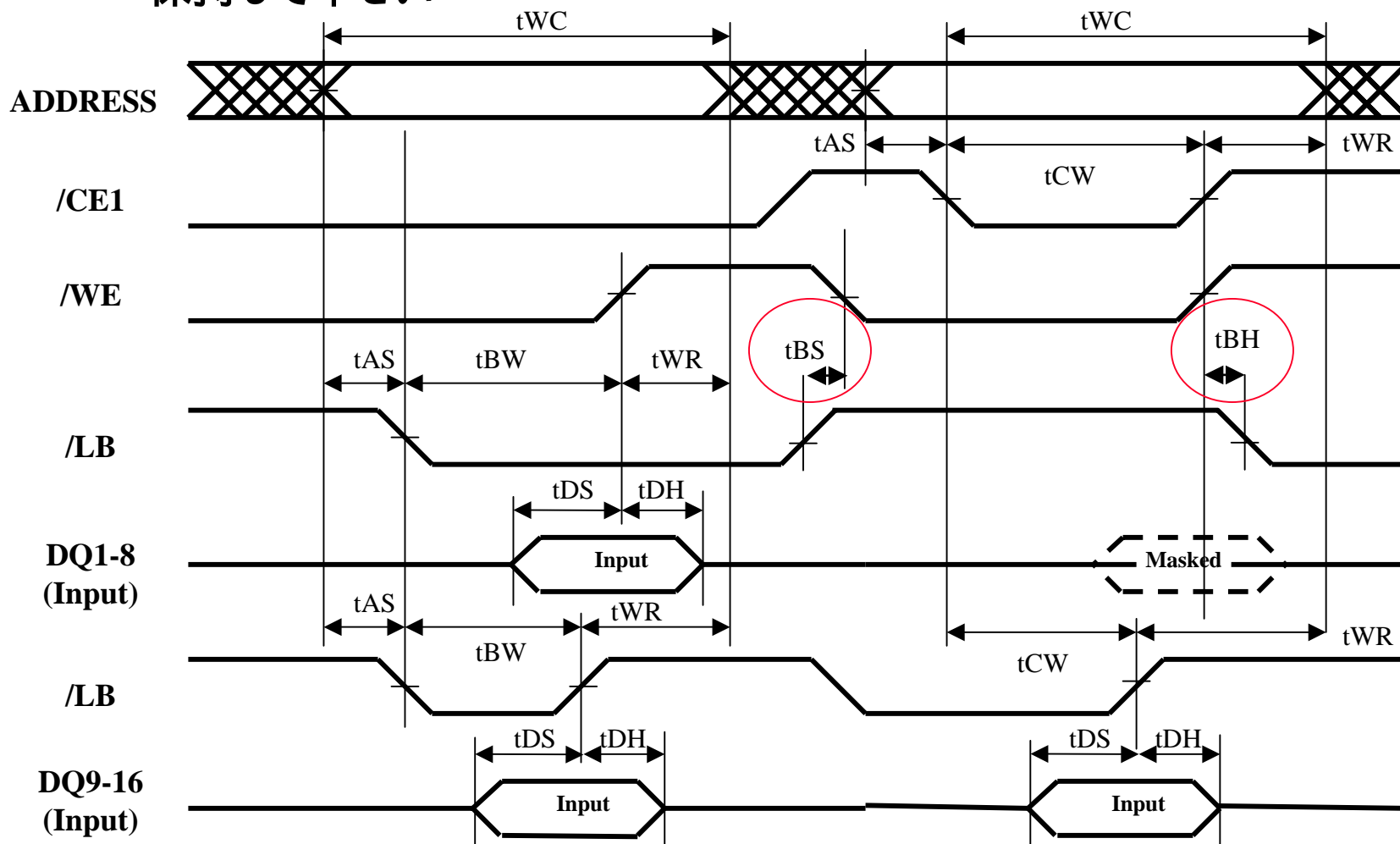
■ ライト動作の制限事項

- ライト中は、/OE=Hを維持して下さい



■ バイトライト動作

- データマスクする場合、/WEまたは/CE1がHになるまで、/LB (/UB)=Hを保持して下さい



電源投入規格

- SRAMでは内部電位が充電されれば動作可能
- FCRAMでは内部レギュレータを起動させるため、一時的に内部電位が不安定
 - 内部電位が安定した後に通常動作可能
 - 起動タイミング例については、P16の付録を参照下さい

論理仕様・機能の違い

■ CE2端子

- SRAMではCE2をリード・ライト制御にも使用可能
- FCRAM(擬似SRAM)ではCE2端子をパワーダウン制御端子として使用
 - ・ リード・ライト時は、CE2=High固定

■ /LB , /UB端子

- SRAMでは/WE信号と同格
- FCRAMでは/WE(またはCE1)のライトパルスが優先され、/LBと/UBにセットアップとホールド時間の規定あり
 - ・ ただし、仕様書上はライトパルスと同相で入力可能

■ CE2と/LB、/UBの動作論理が異なる

Mode	/CE1	CE2	/LB	/UB	/WE	/OE	DQ1-8	DQ9-16
Power Down	X	L	X	X	X	X	Hi-Z	Hi-Z
Read	L	H	L	L	H	L	Output	Output
Read Lower Byte	L	H	L	H	H	L	Output	Hi-Z
Read Upper Byte	L	H	H	L	H	L	Hi-Z	Output
Write	L	H	L	L	L	H	Input	Input
Write Lower Byte	L	H	L	H	L	H	Input	X
Write Upper Byte	L	H	H	L	L	H	X	Input
Output Disable	L	H	X	X	H	H	Hi-Z	Hi-Z
Standby	H	H	X	X	X	X	Hi-Z	Hi-Z

*

FCRAM使用上の注意点まとめ

- FCRAM(擬似SRAM)固有の問題を避けるため、下記3項目について留意する必要があります。

- データシートも合わせてご参照下さい

1. 論理設計

- CE2および/UB & /LBの制御(P14)

2. タイミング設計

- SRAMにはないタイミング規定(P4、P8-11)
 - ・ 低速動作時のタイミング規定
 - ・ リフレッシュおよびリストア対策用

3. 波形品質

- 入力信号遷移規定(P7)

4. 電源設計

- コンデンサ挿入(P5)
- 起動タイミング例(P16)

付録: 起動タイミング例

