

富士通電子デバイス

2006.5(プロダクトガイド一部抜粋)

ASIC の開発フロー

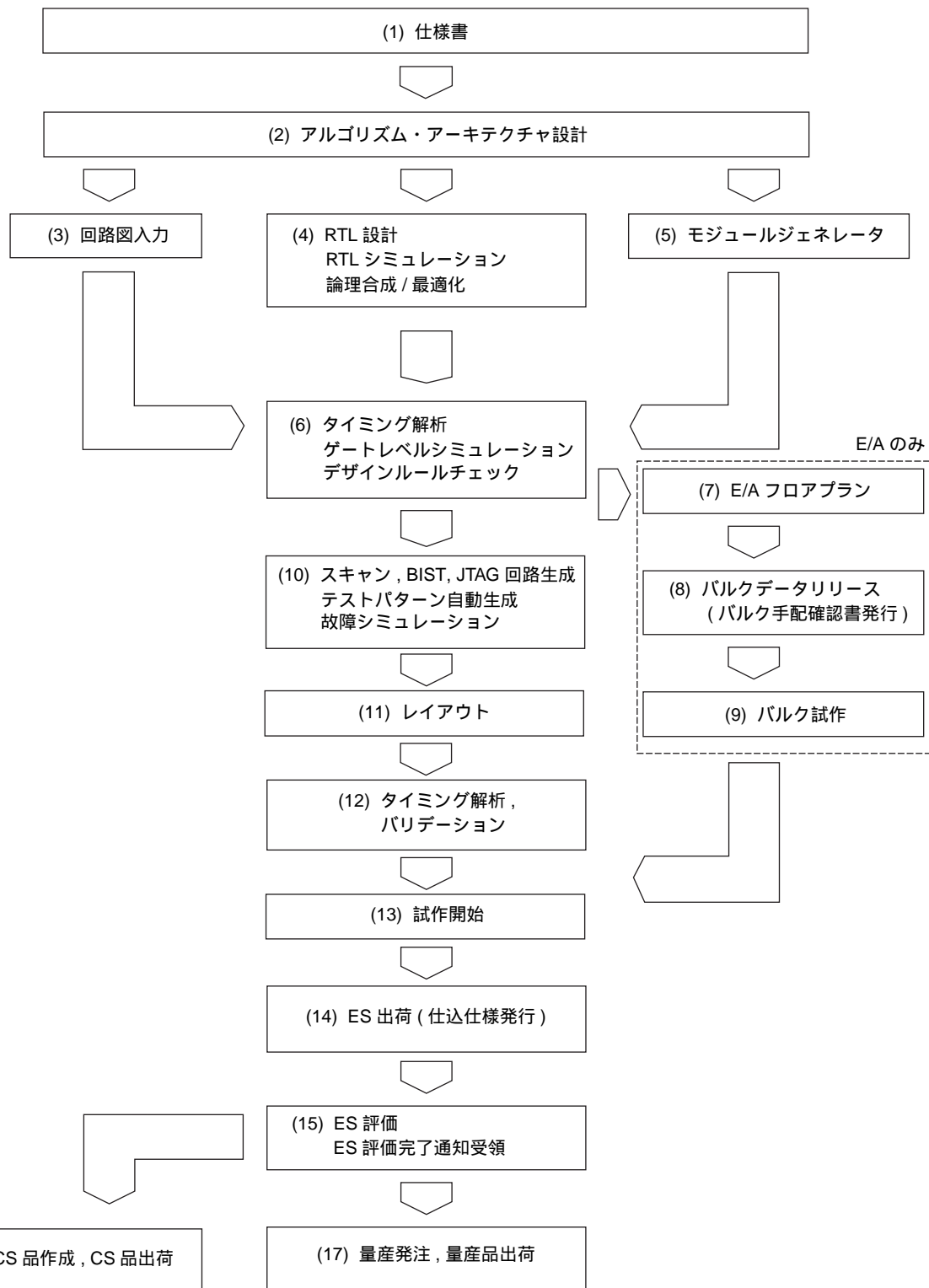
本資料の掲載内容は、予告なしに変更することがありますので、ご用命の際は当社営業部門にご確認ください。

All Rights Reserved, Copyright FUJITSU 2006

FUJITSU

THE POSSIBILITIES ARE INFINITE

ASIC の開発フロー



- (3) 現在お客さまのお持ちのエディタで、論理回路図・テストパターンの入力を行います。
 - (4) お客さまのお持ちのシステムで HDL 等言語レベルのシミュレーション、論理合成の最適化を行います。
 - (5) 当社モジュールジェネレータを使用して BIT/WORD 構成を入力することにより、RAM, ROM 等のコンパイルドセルのシミュレーションモデル/シンボル等を作成します。
 - (6) 仮配線の段階でできるだけ正確な性能を予測するため、仮配線レベルのゲートレベルのシミュレーション、および静的タイミング解析を行います。
また、富士通の設計基準にあったルールチェックを行います。
 - (7) E/A ではこのフェーズでレイアウトエディタを使用してコンパイルドセル/モジュールの配置を行います。
お客さまの設計に応じたブロックの配置を行います。スタンダードセルではフロアプランはレイアウトフェーズで実施します。
 - (8) バルク作製用データをリリースします（マクロ位置、マクロ構成等に変更がないことをバルク手配確認書でお客さまと締結します）。
 - (9) お客さま専用のバルクを試作します。
 - (10) テストパターン自動生成を受ける場合に、スキャン設計を行っていただきます。スキャン、BIST, JTAG 回路の自動生成を行います。自動生成された回路より、故障検出のためのテストパターンを自動生成します。これを利用することにより、LSI の信頼性および故障率検出率を向上することができます。
 - (11) ASIC のレイアウトを行います。
配置配線時にはタイミング、SI を考慮します。また、高精度な容量抽出、遅延計算、クロストーク解析、電源網解析、パワー解析を行い要求仕様を満足しているか確認を行います。
 - (12) 実配線の RC に基づきクロックとデータのセットアップ/ホールドの遅延時間をプロセスはらつきを考慮して検証します。
また、同様に実配線にもとづいた SDF を利用したテストベクタの検証を行います。
 - (13) 以上の工程で回路検証の確認の完了後、試作を開始します。
 - (14) お客さまからリリースされたテストパターンを使用して出荷試験を行い、良品と判断されたものを ES として出荷します。
同時に、お客さまへ納入仕様書を発行します。
 - (15) 出荷した ES に対してお客さまにおいて評価をしていただきます。
 - (16) 量産品レベルのサンプルが必要な場合は、ES と一緒に発注していただきます。
 - (17) お客さまにおいて、ES 品の評価を完了後、量産品を発注していただき出荷します。
- (注意) GaAs ゲートアレイのサポート体制も同様です。