

FPGA/ASICコンカレント設計サービス

FAITH[®]

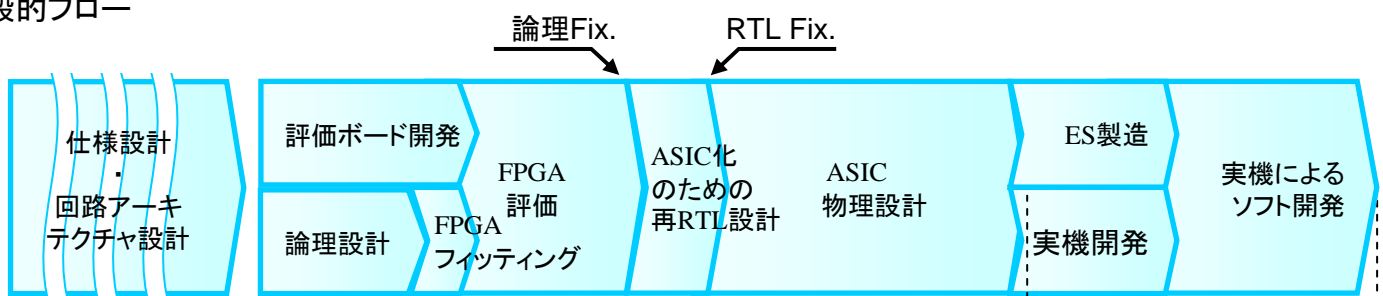
概要

FAITH[®]は、FPGA/PLDとASICと評価ボードの設計を同時に進め、FPGA/PLD合成・フィッティング、ASIC物理設計、評価ボード製造までをカバーする設計サービスです。

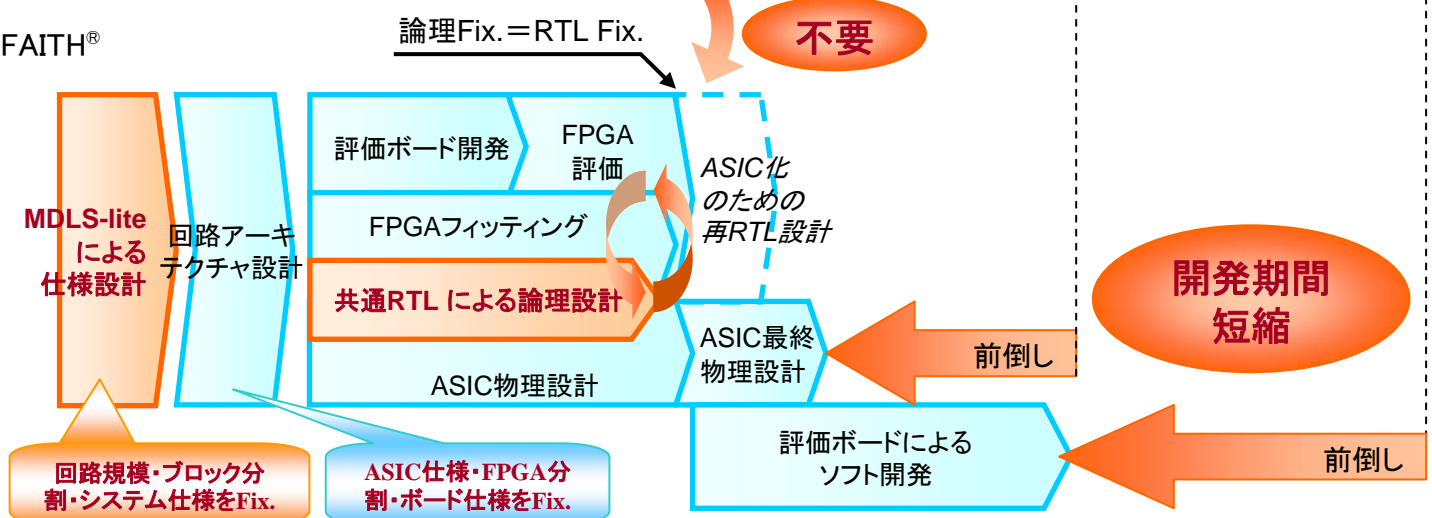
昨今のASIC開発においては、製品の高機能・複雑化、LSIの大規模回路化、各種IPマクロ搭載検討などにより、仕様検討期間が長期化しています。そのため、開発期間の長期化、量産モデルの市場投入遅れなどの問題が顕在化してきています。FAITH[®]では、仕様設計において新たなデザインサービスをご提供します。

デザインフローイメージ

■一般的フロー



■FAITH[®]



FPGA/PLDとASICと評価ボードの同時設計を可能にするFAITH[®]は、製品市場投入の前倒し・トータル開発期間の短縮を実現します。

FAITHは富士通九州ネットワークテクノロジーズ株式会社の日本国における登録商標です

特長

■コンカレント開発を実現する3つの仕組み

1. 物理設計ノウハウを反映させた回路アーキテクチャーを提案
 - ・ 物理設計を考慮した最適な物理ブロック分割を提案
 - ・ ビルディングブロック方式レイアウトに基づくフロアプランを提案
2. FPGA/ASIC論理等価性を保証する回路アーキテクチャーを提案
 - ・ FPGAとASICのRTLを共通化(=共通RTL)する設計ルールを提供
3. Eメールベースの自動応答論理合成環境の運用 (MDLS:Mail Drop Logic Synthesis)
 - ・ ブロック単位での自動論理合成と物理設計を実現
 - ・ 365日、24時間の運用

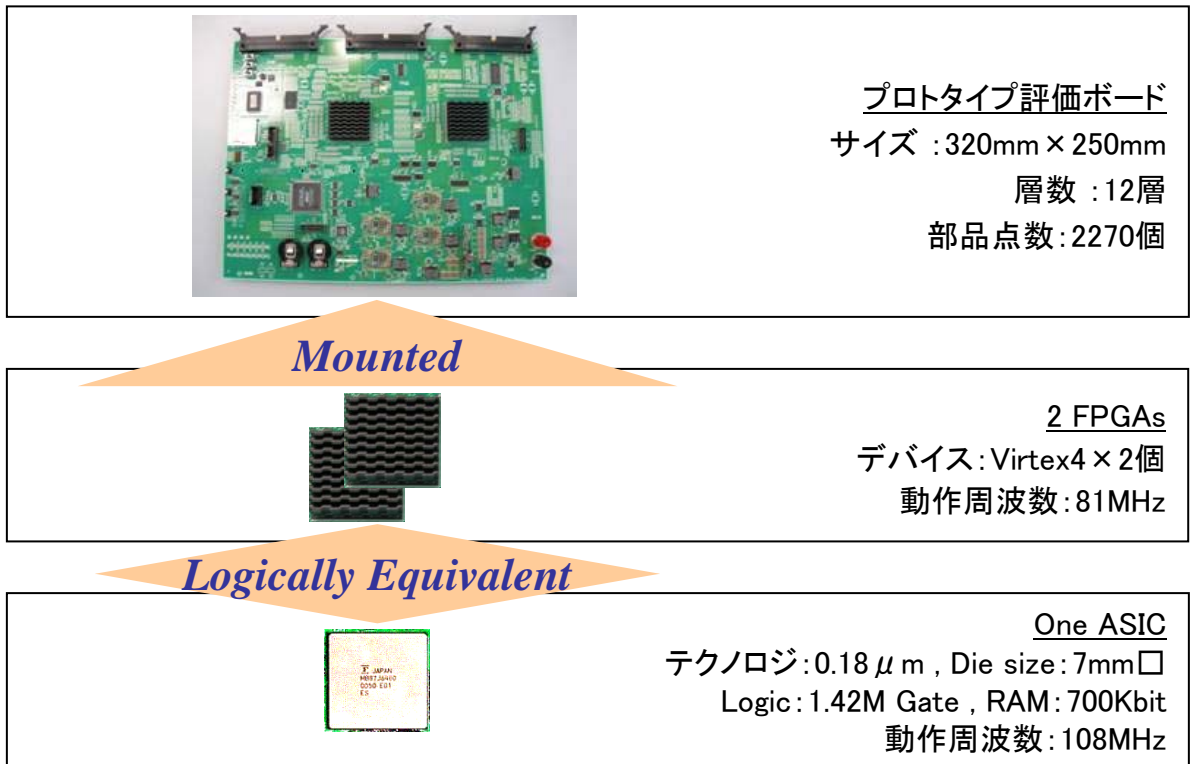
■MDLS-lite

MDLSをベースとしたブロック分割支援ツールの提供

- ・ 要求仕様から、FPGA分割やASIC物理ブロック分割を容易に実現

適用事例

■ASIC / FPGA / 評価ボードの同時開発



Concurrent Development

- ・ ASICと機能的に等価な2個のFPGAを搭載したプロトタイプ評価ボードを開発。
- ・ お客様は、富士通のASIC物理設計と並行して、プロトタイプ評価を実施。
- ・ 論理検証完了後、ESを待たずに、評価ボードを使って、ソフト開発スタート。

富士通九州ネットワークテクノロジーズ株式会社 第一開発統括部 第三技術部

〒814-8588 福岡市早良区百道浜2-2-1 富士通九州R&Dセンター TEL:092-852-8174

富士通セミコンダクター株式会社 アドバンスプロダクト事業本部 ASIC/COT事業部 国内マーケティング部

〒222-0033 神奈川県横浜市港北区新横浜2-10-23 野村不動産新横浜ビル TEL:045-755-7052

内容の詳細はインターネットでもご覧いただけます。 <http://jp.fujitsu.com/fsl/>