

# 画像アプリケーション向け LVDSインタフェース・ハードマクロ

本稿では、画像アプリケーション向けLVDSインタフェース・ハードマクロの概略を解説します。

\* LVDS : low voltage differential signaling

## 民生機器での高速信号伝送の必要性

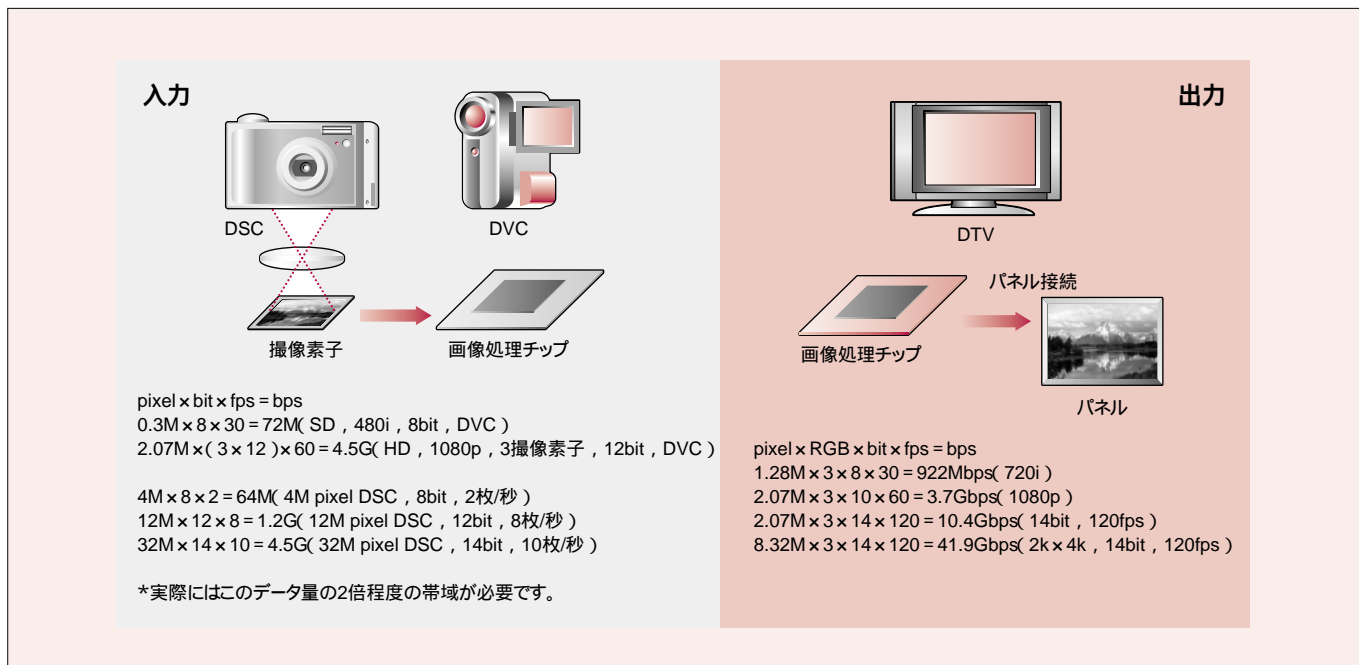
通信機器やサーバなど、大きなデータを扱う業務用機器では従来から高速インタフェースが使われてきました。しかし最近では、画像データを扱う民生機器でも入出力に要求されるデータ量が増えています。

例えばデジタルカメラやデジタルビデオカメラでは、撮像素子と画像処理LSIチップ間のデータ量が飛躍的に増え、インタフェースの高速化が必要となってきています。デジタルカメラで画素数が1000万を超えるものの場合、連写数(1秒あたりに撮影できる枚数)が増えるとデータ量は1Gbpsを超えます。特に一眼レフの高級機種では、画素数の多さと高い連写性能が要求されるため、必要とされ

るデータ帯域が5Gbps以上になると思われます。またデジタルビデオカメラでは、1080i/1080p等のデジタルハイビジョン/HD化とフレーム数の増加、画質向上のための画素当たりビット数の増大でデータ量は1Gbpsを超えています。デジタルテレビでは、処理チップとディスプレイパネルとの間で多くのデータが流れます。(図1)

これらのデータの処理は、機器内での距離や配置の性質上、同一チップには集積されず別のチップになるため、その間のインタフェースが必要とされています。これには従来、50MHz程度のCMOSインタフェースが使用されてきました。しかし、データ量の増大に伴い配線本数が増え、信号間のスキュー調整や配線の取り回しが大変になり、配線本数の大幅な削減のために高速伝送が必要となってきました。

図1 画像関連での用途



## 高速信号伝送での利点

### ●コスト削減

例えば、8.1Gbpsのデータを伝送するには、

- ・ CMOSインタフェースの場合  
67.5Mbps × 120本 = 8.1Gbps( シングルエンド )
- ・ 高速インタフェースの場合  
810Mbps × 20本 / 2 = 8.1Gbps( 差動 )

となり、100本の信号本数を削減できます。また、これに伴いインタフェース部分の電源・グラウンドの本数も削減できます。

信号と電源・グラウンドの本数の削減により、LSI間の伝送路配線(プリント基板、ケーブル、コネクタ)のコスト削減と、LSI自体(パッケージ、チップ)のコスト削減ができます。

### ●ノイズ対策

多くの信号が同時に変化すると、電流変化とパッケージのインダクタンスによりスイッチングノイズが発生し、データのエラーにつながります(同時スイッチング出力によるノイズ)。この対策として電源とグラウンドの強化が必要です。そこで高速インタフェースでは差動信号を使用し、電源の電流変化が少ない回路構成を採用しています。

また、差動信号では信号が逆相で伝搬されるため、外部への放射ノイズが打ち消され、EMI対策としても有効です。

### ●消費電力の低減

高速信号伝送は、CMOSで伝送する場合に比べて消費電力を低減できます。例えば次のように計算できます。

- ・ CMOS : 120本 × 3mW( 3.3V, 67.5MHz, 10pF ) = 360mW
- ・ LVDS : 10本 × 6.4mW( 100 , 200mV ) = 64mW

外付けのCMOS-LVDS ASSPを内蔵のLVDSにすると、ASSPと処理チップのCMOSインタフェース部分の消費電力を削減できます。

## 携帯機器向け低消費電力 LVDSインタフェース

携帯機器では、扱うデータ量が増えても消費電力は従来と同等以下に抑える必要があります。EIA644およびIEEE1596.3で規定されているLVDSは、もともと据え置き型の通信機器等を想定しているため、そのままでは携帯機器に適用できません。そこで、消費電力を下げるためにさまざまな対応が必要になります。

具体的には、次のような制限と対策を行うことで消費電力の低減を実現しています。

- ・ 携帯機器内部での伝送のため伝送距離は最大でも20cm程度
- ・ 3.3V電源のLVDSとインタフェースするような互換性は諦める
- ・ 電源電圧を下げる
- ・ 回路面で電流を最小限に絞る

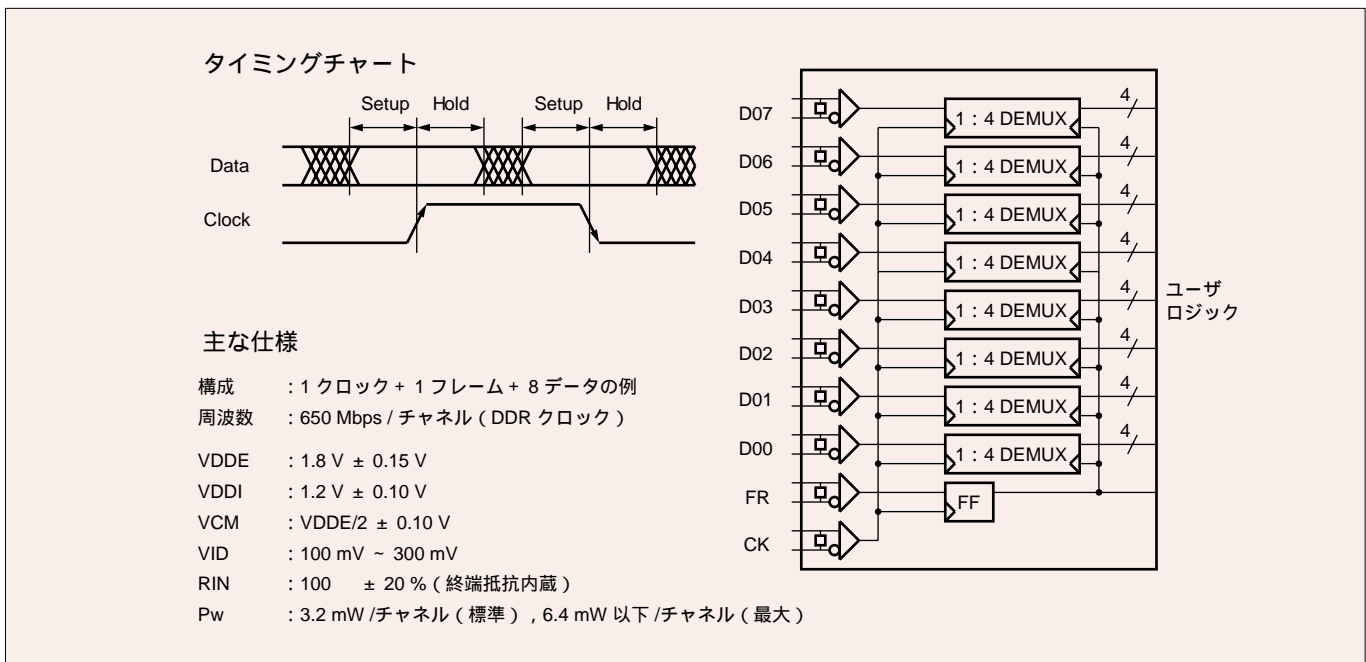
90nmで、画像処理LSIチップ向けに開発したLVDS受信マクロ(Rx, レシーバ)では、1チャンネル当たり最大で6.4mW(標準で3.2mW)@650Mbpsを達成しています。これは、携帯機器の画像入力部分のアナログ・フロント・エンド(AFE)とのインタフェースに適しています。

図2・図3に90nmローパワーLVDS受信マクロ例を示します。

このインタフェースを使うと、画像処理LSIチップで、例えば5.2Gbpsのデータの受信時に  $8 \times 6.4mW = 51.2mW$ (worst)でレシーバが構成できます。

DEMUX(シリアル・パラレル変換)に関しては、固定の比率でハードマクロに取り込むかユーザ論理で組み、設計の自由度を上げるといった方法が取られます。データのチャンネル数やフレーム信号の有無などを、目的に合わせて最適化することもできます。

図2 90nm ローパワーLVDS受信マクロ例



## ディスプレイ向けLVDSインタフェース

LCDやPDPなどのFPDでは、画像処理LSIチップからFPDパネルへのインタフェースに高速のLVDSが使われてきています。現在は外付けのASSPが広く使用されており、画像処理LSIチップとASSPとのインタフェースにはCMOSが使われています。その間の信号本数を減らすため、高速のLVDSインタフェースも画像処理LSIチップに取り込む動きが出てきています。

図4にDTVでのFPD Linkによるチップ間インタフェース例を示します。

デジタルハイビジョン/HD化、ビット数の増大、さらなる画素数の

増大で、扱うデータ量はさらに多くなっています。このため、前述のようなCMOSインタフェースでは信号本数が多くなり過ぎてしまいます。また、外付けのASSPを使用しても画像処理LSIチップ自体のピン数は変わらないので、LSI自体のコスト(チップ、パッケージ)は下がりません。このASSPと同等の機能をマクロとして画像処理LSIチップに取り込むと、LSI自体のコスト、ASSP分のコスト、伝送路コスト(プリント基板、ケーブル、コネクタ)をトータルで削減することができます(図5・図6)。この場合にも、データのチャンネル数などは使用目的に合わせて最適化を行うことができます。また、信号のレベルやタイミングはASSPとの互換性・相互接続性を考慮してあるので、システムで使用しているASSPを徐々に画像処理LSIチップに取り込む方法を取ることができます。

図3 90nm ローパワーLVDS受信マクロ レイアウト例



**主な仕様**

8データ+1フレーム+1クロック  
 DEMUX比 1 : 4  
 シリアルデータレート：最大650Mbps  
 2.35mm x 0.70mm (50μm/パッドピッチ)

図4 DTVでのFPD Linkによるチップ間インタフェース例

