

シミュレーション技術を用いたシステムインパッケージ開発

低コストでチップの小型化・薄型化が可能なシステムインパッケージは、近年さらに高い性能を求められるようになりました。本稿では、システムインパッケージの開発方針の転換と、設計技術/シミュレーション技術について解説します。

はじめに

携帯電話や、DSC/DVCに代表されるデジタルAV機器の発展は、多機能化・高機能化という内部的な性能の向上に加え、小型化・薄型化という外部的な付加価値を、より高いレベルで要求し続けています。このため、半導体部品も性能の向上に加え、小型化・薄型化できる構造が求められるようになりました。

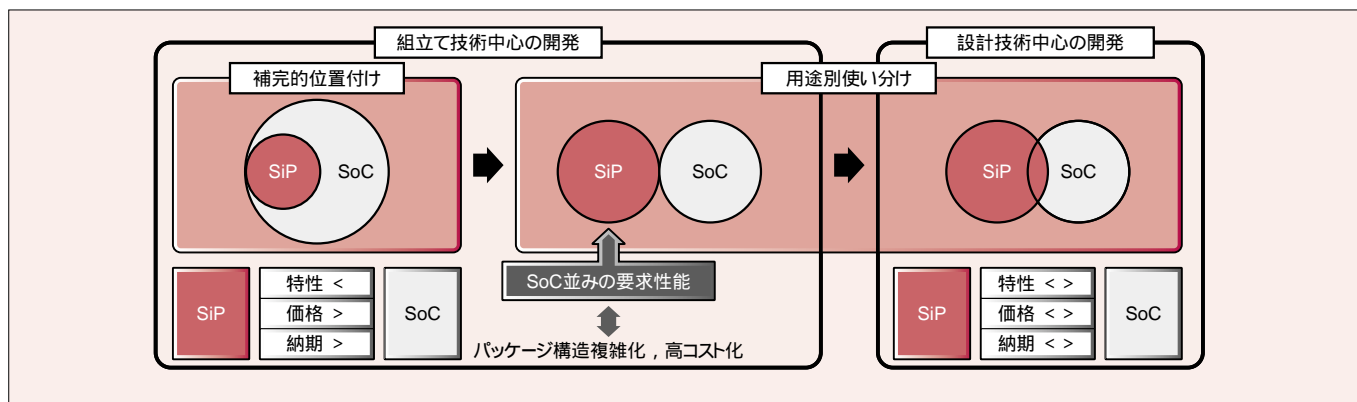
これらの要求を満たすパッケージとして、システムインパッケージ (SiP: System in Package) は開発されました。SiPは、これまでいくつかの半導体素子をマザーボード上でシステム化した機能ブロック部分を、1つの半導体素子上で実現したシステムオンチップ (SoC: System on Chip) に移行する過程の、補完的な位置付けのパッケージとして登場したものです。しかし、近年の商品サイクルの短さによる開発期間の短縮や、開発費用の観点から、SoC化でメリットが得られる製品とそうでない製品がはっきりと分かれてきました。このため、既存技術の延長上にあるSiPは、必要とされる特性や納期、コストによって、SoCと使い分けられるようになってきました(図1*1)。

SiP開発方針の転換

ここ数年でSiPが急速に普及した一因は、すでに開発が終了している複数の既存チップを低コストで1パッケージ化できるという、組合せ自由度の高さにあります。これはパッケージの小型化・薄型化の要求を満たし、開発期間・開発費用の面でSoCと比べて大きな利点になっていました。この自由度の高さを支えたのが、ウェーハ薄化技術や、積層技術などのパッケージ組立て技術の急速な進歩でした。

ウェーハの薄化技術は、2001年の時点で25μm厚の基礎的な技術開発が完了しており*2、製品レベルでも60μm厚チップが搭載されたパッケージが製造されています。今後の展開としては、ウェーハの大口径化に対応した技術的進歩を続けていくと思われます。また積層技術では、ワイヤ接続領域を確保するために、ダミーチップや接着剤フィルムなどのスペーサ材料をチップ間に挿入する技術や、Au-Au接合やAu-はんだ接合を用いた各種フリップチップ(FC: Flip Chip)工法を用いたハンブ接続技術も、一般的に使用されるようになってきました。さらに最近では、パッケージ同士を積層する技術も確立され、製品への適用が始まっています。部材

図1 SiPとSoCの変遷



面では、インターポーザのファインピッチ化技術が大きく進展しており、配線領域の高密度化や基板の薄厚化がもたらす付加価値は、パッケージ組立て技術に欠かせないものとなっています。

図2にこれらの技術を使用した商品事例を示します。

しかし、こうした組立て技術が確立する一方で、SiPはSoCと同等、またはそれ以上の高い性能が求められるようになり、組立て技術だけでは応えられない要求が増え始めました。さらに、組合せ自由度の高さがインターポーザの配線構造を複雑化したため、電気特性上の問題がより顕著に現れるとともに、部材費を含めたトータルコストが増加するケースもみられます。こうした問題を解決するため、SiPは組立て技術を中心とした開発から、設計技術を中心とした開発へと方針を転換する時期に差し掛かっています。

SiPの設計技術/シミュレーション技術

SiPの特性を決定するのはチップ構成と、そのチップを搭載するインターポーザの設計技術といえます。

図3に、SiP開発における、設計技術を中心としたインターポーザ開発フローの一例を示します。入力情報として、パッケージを構成するチップサイズやパッド座標、チップ構成を含めた接続情報から、要求される仮想パッケージをモデリングします。この仮想モデルを使って、チップから発生する熱、チップとチップ、チップとインターポーザとの配線接続、ボンディング工程やモールド工程時にチップやインターポーザにかかる応力など、パッケージ構成上で問題を引き起こす可能性がある項目を事前に検証し、インターポーザの外部構成を決定します。次に、インターポーザの内部構成、つまり内部配線を決定するための電気特性検証を行い、最終的なインターポーザの仕様を決定します。

このフローを実行することにより、パッケージの熱特性、構造的

な問題の有無、電気特性が事前に検証でき、開発期間と開発費を大幅に削減することが可能です。またこれらの技術を進展させ、検証結果をプロセス工程にフィードバックし、SiP専用に最適化されたパッド配列をもつチップの製品展開も開始しています。最適化されたチップを用いれば、インターポーザ内部の配線構造を簡略化でき、インターポーザの複雑化で生じていた特性的・コスト的負担を減らすことが可能になります。

次に、各事前検証項目について説明します。

●熱シミュレーション

ウェーハ薄化技術や積層技術の向上により搭載チップ数が増え、パッケージ全体の熱抵抗は増え続けています。異種チップの搭載が可能なSiPでは、稼働温度の異なるチップを組み合わせることができるため、限界温度の一番低いチップによりパッケージ全体の熱抵抗の上限値が決まります。例えばロジック品種(稼働限界温度125)とメモリ品種(稼働限界温度100)を混載する場合、パッケージの発熱温度は100以下に抑える必要があります。このため、チップ構成を決定するうえでも他のチップからの発熱影響を考慮する必要があり、パッケージとしての熱抵抗を事前に知ることは、SiP開発にとって重要な項目となっています。

図4に熱シミュレーションの一例を示します。パッケージ熱抵抗の低熱化を図る一般的な手法として、チップの直下にサーマルボールと呼ばれるダミーボールを追加する方法があります。図4の左側の図が通常、右側の図がサーマルボールを追加した結果です。ダミーボールの追加によって、高温部分が減少していることが確認できます。このように、パッケージに求められる特性が満たされているかを事前に検証し、それによってチップ構成やボール配列を決定することが可能になってきています。

●三次元配線シミュレーション

複数チップの搭載は、自由度が高くなれば高くなるほど配線構

図2 商品事例

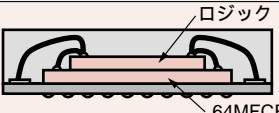
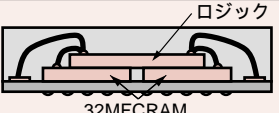
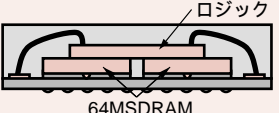
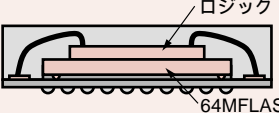
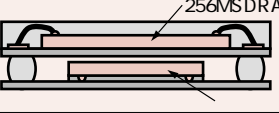
構造断面図	パッケージ (ピン数)	チップ構成	特長	搭載用途
	FLGA288 (16×16mm/0.65mmピッチ)	画像処理ロジック 64MFCRAM	スタック技術採用 FCRAM採用による低電力化 パッケージの小型化 FCRAM採用によるテスト容易化	動画処理用
	FLGA288 (16×16mm/0.65mmピッチ)	画像処理ロジック 32MFCRAM × 2個	下段セパレート技術 高さ制限に対応 パッケージの小型化 FCRAM採用によるテスト容易化	動画処理用
	FLGA304 (16×16mm/0.65mmピッチ)	画像処理ロジック 64MSDRAM × 2個	下段セパレート技術 高さ制限に対応 フリップチップ技術 パッケージの小型化	動画処理用
	FBGA280 (10×10mm/0.50mmピッチ)	通信向けロジック 64MFLASH	フリップチップ技術 パッケージの小型化	携帯電話
	FLGA304 (13×13mm/0.50mmピッチ)	画像処理ロジック 256MSDRAM	パッケージスタック技術 他社メモリ使用でもテスト容易化 パッケージの小型化	DSC

図3 基材設計フロー

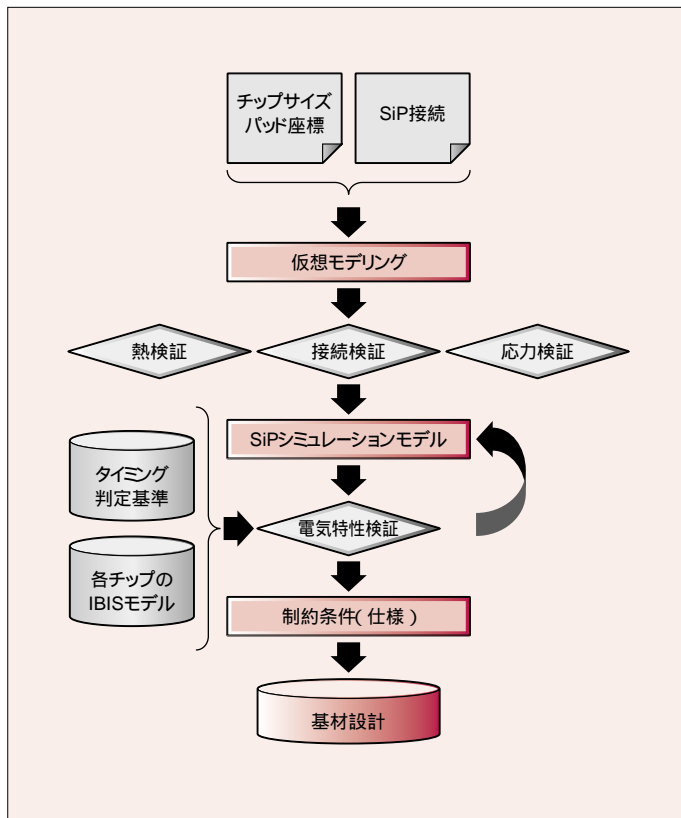


図4 熱シミュレーション例

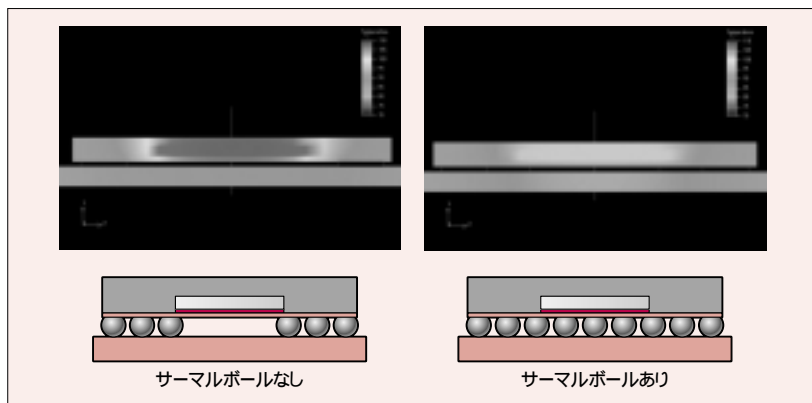


図5 三次元配線シミュレーション例



造の複雑化を招きます。チップ - チップ間接続とチップ - インターポーザ間接続が混載し、立体的な配線構造が必要となる品種では、既存の二次元の配線図面では検証しきれない、ワイヤショートやエッジショートなどの不良の発生が問題になっています。さらにウェーハ薄化技術の加速は、ワイヤ接続に必要なワイヤの高さ方向の間隔を小さくし、不良発生の確率を大きくさせています。このためワイヤの形状を三次元的に検証し、チップの積層位置とパッド配列を最適化する事前検証が重要な項目になっています。またチップ側、インターポーザ側のファインピッチ化が進行する現状は、実際のキャピラリの大きさや、その動きさえも考慮する必要に迫られ、ワイヤボンディング工程そのものを検証したうえで配線構造を決定することが、SiP開発にとって欠かせない項目となってきています。

図5・図6に三次元配線シミュレーションの一例を示します。図5は、実際のパッケージで発生したワイヤショート部分を、三次元配線シミュレーションを用いて検証した結果です。シミュレーションでは、実際のワイヤショートに非常に近い配置が再現され、事前に検証を実施していればワイヤショートが回避できたことがわかります。また図6は、実際のパッケージで発生したワイヤショートについて、キャピラリの動きを合わせて検証した結果です。三次元配線の検証からでは、ワイヤショートの原因を突き止められなかったこのケースも、キャピラリの動きをシミュレーションすることでワイヤとの接触を再現できました。このように、図面上からでは検出できない配線工程上の問題も、検証が可能になってきています。

● 応力シミュレーション

ウェーハ薄化技術により多段化が進むにつれ、さまざまな応力がチップに付加されています。特に、異なるサイズのチップを組み合わせることにより形成されるオーバーハング領域は、ワイヤボンディング工程のボンディング加重やモールド工程の封止圧力で破損する可能性が高いと予想されています。このため、各組立工程においてチップにかかる応力を検証し、チップ厚や部材などの要因により破損や不具合が生じないことを確認することは、SiP開発にとって切り離せない確認項目になっています。

図7に、応力シミュレーションの一例として、ワイヤボンディング工程でチップに付加される荷重についてシミュレーションした結果を示します。グラフ上の × 記号は実測の結果を表しており、 は問

図6 三次元配線シミュレーション(キャピラリの挙動)例

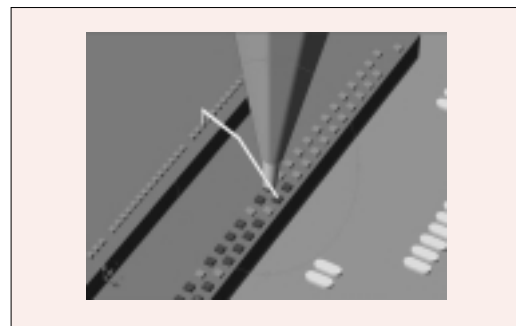
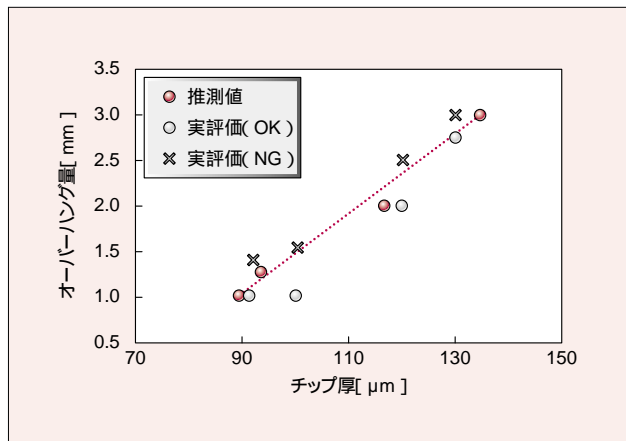


図7 応力シミュレーション例



題がないことを、×はチップに破損が生じたことを示しています。直線は、チップにかかる応力をチップ厚とオーバーハング量のパラメータから検証した結果です。このシミュレーションでは、チップ厚に応じたチップのたわみ量を考慮していませんが、破損の可能性が高い領域を、シミュレーションで求めた直線で切り分けられることが分かります。

応力シミュレーション技術は、マザーボードに実装したあとの二次実装信頼性などを把握することもでき、今後信頼性の確認を含めてさまざまな方面に活用されると思われます。

●電気特性シミュレーション

パッケージ内部で1つのシステムを構築しているSiPは、チップ-チップ間でも信号の応答を行っています。この関係を成立させるためには、あるチップから発信されたデジタル信号が、いくつかの配線を経由して別のチップに正しく伝えられる必要があります。しかし、配線構造の複雑化や異種チップの混載は、デジタル信号上にさまざまな雑音の混入を誘発し、論理反転や信号遅延などの動作不良を引き起こす可能性を高めています。さらにSoC並みの電気特性を求められている現状では、事前検証によって要求される電気特性を確認しておくことが必要不可欠な項目となっています。

図8に電気特性シミュレーションの一例を示します。既存チップを使用した通常の配線では、インターポーザでの配線長が長いのですが、チップの最適化を行うことで配線長を1/2~1/3に低減できます。それぞれのケースの電気シミュレーション結果を図に示します。最適化を行うことで波形歪みが軽減しており、最適化の効果が現れていることが分かります。これは配線長が短くなったことに加え、インターポーザのピアなどを経由しなくなった結果、インピーダンスに影響を与える因子を削減できたためと考えられます*3。

SiPの今後

これまでのSiPは、携帯電話やデジタルAV機器開発などの民生向け分野で普及の糸口を見つけてきました。それは、既存チップを使用することによる組立て自由度の高さであり、開発工数の削減による短納期化・低コスト化でした。しかし市場要求の変化から、SiPでしか達成できない分野での多機能化・高性能化という、性能による使い分けが求められるようになりました。その結果、これまで培ってきた組立て技術とは別に、パッケージ設計段階から特性を確認できる各種のシミュレーション技術が重要になりました。

今後はSiP内部に受動部品やアナログ部品などを搭載することにより、これまでマザーボード側で実施されてきたさまざまな設計ノウハウをパッケージの中に取り込み、システムとしての品質安定性をより高めることが重要になります。このパッケージ開発は、従来の実装/パッケージ部門内の枠組だけでは達成できないものになっており、デバイス設計部門やウェーハプロセス部門との連携、さらにお客様であるセットメーカーとの関係の強化が重要になると考えています。また、従来どおりの鉛やハロゲンなどを使用しない自然環境に配慮したパッケージや、よりカスタム対応化したパッケージの開発も重要であり、組立て技術への期待はこれまで以上に高まっていくと予想しています。

- * 1 : 高島 晃 他 : 加速するSiPの実装技術 : NE/N μ D Hardware Conference 2002(主催:日経エレクトロニクス)
- * 2 : 手代木 和雄 他 : 「薄型チップ実装工程開発への取り組み」, SEMI2002, 薄型チップ(ダイ)実装の現状講演予稿集
- * 3 : 小澤 要 他 : SiP (System in Package) の電気特性評価, エレクトロニクス実装学会誌 Vol.6 No.4 (2003)

図8 電気特性シミュレーション例

